

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004年12月23日 (23.12.2004)

PCT

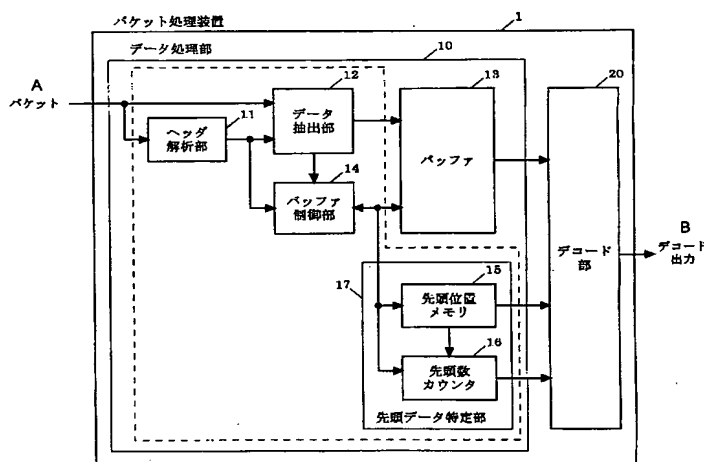
(10) 国際公開番号
WO 2004/112255 A1

- (51) 国際特許分類: H03M 7/30, H04N 7/24
(21) 国際出願番号: PCT/JP2004/008240
(22) 国際出願日: 2004年6月7日 (07.06.2004)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願2003-171143 2003年6月16日 (16.06.2003) JP
(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真1006 Osaka (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 林 茂雄 (HAYASHI, Shigeo). 渡辺 栄児 (WATANABE, Eiji). 尾関 英克 (OZEKI, Hidekatsu).
(74) 代理人: 小笠原 史朗 (OGASAWARA, Shiro); 〒5640053 大阪府吹田市市江の木町3番11号第3ロンチェビル Osaka (JP).
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

[続葉有]

(54) Title: PACKET PROCESSING DEVICE AND METHOD

(54) 発明の名称: パケット処理装置及び方法



1...PACKET PROCESSING DEVICE
10...DATA PROCESSING SECTION
A...PACKET
11...HEADER ANALYSIS SECTION
12...DATA EXTRACTION SECTION
14...BUFFER CONTROL SECTION
13...BUFFER
15...HEADER POSITION MEMORY
16...HEADER COUNTER
17...HEADER DATA SPECIFICATION SECTION
20...DECODING SECTION
B...DECODED OUTPUT

(57) Abstract: There is provided a packet processing device for realizing reduction of processing load in a decoder by giving information for specifying the data start position to the decoder when decoding variable length data divided into packets. A header analysis section (11) judges whether the data to be stored in a packet is header data including the header information or other data. A data extraction section (12) extracts data from the packet and stores it in a buffer (13). A buffer control section (14) makes a header position memory (15) and a header counter (16) hold the address position of the header data and the number of the header data stored in the buffer (13). A decoding section (20) references the header position memory (15) and the header counter (16) and executes decoding processing of the data stored in the buffer (13).

(57) 要約: パケットに分割された可変長データをデコードする際に、データの先頭位置を特定する情報をデコーダに与えることで、デコーダにおける処理負荷の軽減を実現するパケット処理装置を提供する。ヘッダ解析部(11)は、パケットに格納されるデータが、先頭情報を含む先頭データかそれ以外のデータかを判定する。データ抽出部(12)は、パケットからデータを抽出してバッファ(13)に格納する。バッファ制御部(14)は、バッファ(13)

に格納された先頭データのアドレス位置及び個数を、先頭位置メモリ(15)及び先頭数カウンタ(16)に保持させる。デコード部(20)は、先頭位置メモリ(15)及び先頭数カウンタ(16)を参照し、バッファ(13)に格納されたデータのデコード処理を実行する。



SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

パケット処理装置及び方法

技術分野

本発明は、パケット処理装置及び方法に関し、より特定のには、可変長データが分割格納されたパケットから圧縮符号化された画像データや音声データ等を復号するパケット処理装置、及びパケット処理方法に関する。

背景技術

近年、CSやBSによるデジタル放送等においては、画像データ及び音声データ等を圧縮するための符号化方式として、MPEG (Motion Picture Experts Group) 方式が採用されている。従って、デジタル放送等の受信機器や記録再生機器は、MPEG方式で圧縮符号化されたデータのビットストリームを復号する装置を備える必要がある。

ここで、主にデジタル放送に用いられているMPEG 2方式について簡単に説明する。MPEG 2方式では、圧縮符号化された画像データや音声データ等のビットストリームを、エレメンタリストリーム (ES) と称する。このエレメンタリストリームを運ぶためのパケット構造として、PES (Packetized Elementary Stream) が定義されている。図15は、PESパケットの詳細な構造を示す図である。また、MPEG 2方式

では、P E S パケットが所定の単位に分割され、トランスポートストリームパケット（以下、T S パケットという）に格納されて放送される。図 1 6 は、T S パケットの詳細な構造を示す図である。図 1 7 は、T S パケットと P E S データとの関係を説明する図である。

このようなことから、M P E G 2 方式のビットストリームを扱う装置では、複数の T S パケットから P E S データを抽出して復号するというパケット処理を行う必要がある。以下、このパケット処理を説明する。

図 1 8 は、従来のパケット処理を行う M P E G 復号装置の構成例を示すブロック図である。図 1 8 において、従来の M P E G 復号装置 1 0 1 は、T S ヘッダ解析部 1 1 1 と、P E S 抽出部 1 1 2 と、P E S バッファ 1 1 3 と、P E S バッファ制御部 1 1 4 と、M P E G デコード部 1 2 0 とを備える。T S ヘッダ解析部 1 1 1、P E S 抽出部 1 1 2、P E S バッファ 1 1 3 及び P E S バッファ制御部 1 1 4 は、トランスポートストリーム復号部 1 1 0 を構成する。

T S ヘッダ解析部 1 1 1 及び P E S 抽出部 1 1 2 には、M P E G 2 方式の T S パケットが順次入力される。T S ヘッダ解析部 1 1 1 は、T S パケットが入力される毎に、その T S パケットの T S ヘッダの解析を行う。P E S 抽出部 1 1 2 は、T S ヘッダ解析部 1 1 1 における T S ヘッダの解析結果を参照して、入力された T S パケットから必要な P E S データを抽出する。そして、P E S 抽出部 1 1 2 は、抽出した P E S データを P E S バッファ 1 1 3 に出力する。P E S バッファ 1 1 3 は、P E S 抽出部 1 1 2 で抽出

された P E S データを一時的に格納する。P E S バッファ制御部 1 1 4 は、P E S バッファ 1 1 3 に対して制御信号を出力し、P E S バッファ 1 1 3 のアドレス制御及び蓄積データ制御等を行う。

M P E G デコード部 1 2 0 は、任意のタイミングで P E S バッファ 1 1 3 から P E S データを読み出してデコード処理を実行し、復号画像及び復号音声を出力する。この際、M P E G デコード処理に必要な P E S ヘッダを解析するために、P E S データの先頭位置、すなわち P E S ヘッダを含む P E S データを与える情報が必要となる。そこで、通常、M P E G デコード部 1 2 0 は、P E S バッファ 1 1 3 に格納された P E S データに対して、P E S ヘッダが有しているパケットスタートコードを検出することによって、P E S データの先頭位置を特定することを行う。P E S データの先頭位置の特定に関する技術は、例えば特開 2 0 0 1 - 1 6 5 4 7 号公報（第 6 ～ 8 頁、図 1）に記載されている。

発明の開示

しかしながら、上記従来の M P E G 復号装置 1 0 1 のように、M P E G デコード部 1 2 0 が、T S パケットから抽出された P E S データに対してパケットスタートコード検出を行って P E S データの先頭位置を特定する場合には、以下のような課題がある。

まず、P E S は可変長である。このため、P E S データの先頭位置を特定するには、P E S バッファ 1 1 3 に格納

された全ての P E S データを対象に、パケットスタートコード検出の処理を実行する必要がある。なお、P E S ヘッダに含まれる P E S パケット長の値が「0」となる場合があり得るが、この場合でも実際の P E S パケットの長さは「0」ではないため、先頭位置を特定するにはパケットスタートコードの検出が必要となる。また、アダプテーションフィールド及び P E S ヘッダ内には、パケットスタートコードと同一のパターン、いわゆる擬似スタートコードが発生する場合がある。このため、擬似スタートコードを除外して正しい P E S データの先頭位置を特定するには、大きな処理量が必要となる。

従って、M P E G デコード部 1 2 0 における処理負荷が重くなり、M P E G デコード処理速度の低下や P E S データの先頭位置を特定する動作による消費電力の増加を生じさせるという課題があった。この課題は、M P E G 2 方式の T S パケットに限られる話ではなく、可変長データが同一サイズのパケットに分割されて送信される全てのパケット送信に関係するものである。

それ故に、本発明の目的は、可変長データが分割格納されたパケットのデータを復号する際に、データの先頭位置を特定する情報を生成してデコーダに与えることで、デコーダにおける処理負荷の軽減、デコード処理速度の向上、及び消費電力の低減を実現するパケット処理装置及び方法を提供することである。

本発明は、可変長データが分割格納されたパケットを処理するパケット処理装置に向けられている。そして、上記

目的を達成させるために、本発明のパケット処理装置は、ヘッダ解析部、データ抽出部、バッファ、バッファ制御部、及び先頭データ特定部とを備えている。

ヘッダ解析部は、入力するパケットのヘッダを解析し、ペイロードに格納されているデータが先頭情報を含んだ先頭データかそれ以外のデータかを判定する。データ抽出部は、ヘッダ解析部の解析結果を参照して、パケットのペイロードからデータを抽出する。バッファは、データ抽出部で抽出されたデータを格納する。バッファ制御部は、バッファ内におけるデータの格納位置及び蓄積データ量を制御する。先頭データ特定部は、ヘッダ解析部の解析結果及びバッファ制御部の制御に基づいて、バッファ内の先頭データを特定するための情報を生成する。

典型的な先頭データ特定部は、バッファに格納された先頭データの格納位置情報を保持する先頭位置メモリと、バッファに格納された先頭データの個数をカウントする先頭数カウンタとで構成される。先頭位置メモリとしては、格納位置情報を保持するレジスタが考えられる。格納位置情報としては、先頭データを格納するバッファのライトアドレスか、バッファに格納された最初のデータを基準として先頭データの位置を相対的に示す情報が考えられる。

また、本発明のパケット処理装置に、所定のタイミングで、バッファからデータを読み出し、かつ、先頭データ特定部から格納位置情報及びカウント数を取得し、格納位置情報及びカウント数に基づいて読み出したデータに含まれる先頭データを先頭情報とデータとに分離し、先頭情報に

基づいて読み出したデータのデコード処理を行うデコード部をさらに備えてもよい。

ここで、バッファ制御部は、蓄積データ量と予め定めたとしきい量とを比較して、蓄積データ量がしきい量以上となったときに所定の通知信号を出力することが好ましい。この所定の通知信号を検出した場合、先頭数カウンタは、しきい量分のデータ内に含まれる先頭データの個数を表示するとよい。デコード部を備える場合には、通知信号を受けたタイミングでバッファからしきい量分のデータを読み出させるようにする。

又は、バッファ制御部は、先頭数カウンタの個数と予め定めたとしきい数とを比較して、個数がしきい数以上となったときに所定の通知信号を出力することが好ましい。しきい数は、先頭位置メモリにおける格納位置情報を保持できる領域の数であればよい。デコード部を備える場合には、通知信号を受けたタイミングでバッファからデータを読み出させるようにする。

具体的には、可変長データである P E S データが格納された M P E G 方式のトランスポートストリームパッケージが入力される。この場合、ヘッダ解析部は、入力するトランスポートストリームの T S パッケージのヘッダを解析し、ペイロードに格納されているデータが P E S ヘッダを含んだ先頭 P E S データかそれ以外の P E S データかを判定し、パッケージデータ抽出部は、ヘッダ解析部の解析結果を参照して、T S パッケージのペイロードから P E S データを抽出し、バッファは、パッケージデータ抽出部で抽出された P E

S データを格納し、バッファ制御部は、バッファ内における P E S データの格納位置及び蓄積データ量を制御し、先頭データ特定部は、ヘッダ解析部の解析結果及びバッファ制御部の制御に基づいて、バッファ内の先頭 P E S データを特定するための情報を生成することになる。

また、上述したパケット処理装置の各構成が行うそれぞれの処理は、一連の処理手順を与えるパケット処理方法及びデコード処理方法として捉えることができる。すなわち、入力するパケットのヘッダを解析し、ペイロードに格納されているデータが先頭情報を含んだ先頭データかそれ以外のデータかを判定し、解析結果を参照してパケットのペイロードからデータを抽出し、抽出したデータをバッファに格納し、バッファ内におけるデータの格納位置及び蓄積データ量を制御し、解析結果及び制御に基づいて、バッファ内の先頭データを特定するための情報を生成する、パケット処理方法である。又は、所定のタイミングでバッファからデータを読み出し、先頭データを特定するための情報に基づいて、読み出したデータに含まれる先頭データを先頭情報とデータとに分離し、先頭情報に基づいて読み出したデータのデコード処理を行うデコード処理方法である。

上述したパケット処理装置を構成する機能ブロックは、集積回路である L S I として実現されてもよい。また、パケット処理方法は、一連の処理手順をコンピュータに実行させるためのプログラムの形式で提供される。このプログラムは、コンピュータ読み取り可能な記録媒体に記録された形態で、コンピュータに導入されてもよい。

上記のように、本発明によれば、デコードのためにバッファに格納されたデータを読み出すときに、先頭データを特定するための情報を得ることができる。従って、デコード側でデータの先頭位置を検出する必要がなくなり、デコード処理負荷の軽減、デコード処理速度の向上、及び消費電力の低減を実現することができる。また、デコード側は、バッファの蓄積データ量がしきい量に達した通知信号を受けた場合にだけデータの読み出し処理を行うようにすれば、デコード処理を軽減することができる。また、所定数の先頭データがバッファに格納されれば、自動的にデコード側がデータを読み出すようにすれば、例えばデータ長の短いデータが連続して入力され、バッファに多数の先頭データが格納される恐れがあるような場合でも、先頭位置メモリの回路規模を増加させずに済む。

図面の簡単な説明

図 1 は、本発明の一実施形態に係るパケット処理装置 1 の構成を示すブロック図である。

図 2 は、データ処理部 10 が行う基本的なデータ処理手順の一例を示すフローチャートである。

図 3 は、パケット処理装置 1 に入力されるパケットの一例を示す図である。

図 4 A ～ 図 4 F は、図 3 のパケットに応じたバッファ 13、先頭位置メモリ 15 及び先頭数カウンタ 16 の状態を説明する図である。

図 5 A は、デコード部 20 が行うデータの読み出し処理

手順の一例を示すフローチャートである（第 1 の手法）。

図 5 B は、図 5 A の手順に従った処理シーケンス例を示した図である。

図 6 A は、デコード部 20 が行うデータの読み出し処理手順の一例を示すフローチャートである（第 2 の手法）。

図 6 B は、図 6 A の手順に従った処理シーケンス例を示した図である。

図 7 A は、デコード部 20 が行うデータの読み出し処理手順の一例を示すフローチャートである（第 3 の手法）。

図 7 B は、図 7 A の手順に従った処理シーケンス例を示した図である。

図 8 A は、デコード部 20 が行うデータの読み出し処理手順の一例を示すフローチャートである（第 4 の手法）。

図 8 B は、図 8 A の手順に従った処理シーケンス例を示した図である。

図 9 A は、デコード部 20 が行うデータの読み出し処理手順の一例を示すフローチャートである（第 5 の手法）。

図 9 B は、図 9 A の手順に従った処理シーケンス例を示した図である。

図 10 A は、デコード部 20 が行うデータの読み出し処理手順の一例を示すフローチャートである（第 6 の手法）。

。

図 10 B は、図 10 A の手順に従った処理シーケンス例を示した図である。

図 11 は、パケット処理装置 1 に入力される TS パケットの一例を示す図である。

図 1 2 A ～ 図 1 2 F は、図 1 1 の T S パケットに応じたバッファ 1 3、先頭位置メモリ 1 5 及び先頭数カウンタ 1 6 の状態を説明する図である。

図 1 3 は、バッファ 1 3 にデータだけを格納する場合における先頭位置メモリ 1 5 の構成例を示す図である。

図 1 4 A は、図 7 A（第 3 の手法）及び図 9 A 第 5 の手法の両方を用いた場合の処理シーケンス例を示した図である。

図 1 4 B は、図 8 A（第 4 の手法）及び図 1 0 A 第 6 の手法の両方を用いた場合の処理シーケンス例を示した図である。

図 1 5 は、P E S パケットの詳細な構造を示す図である。

図 1 6 は、T S パケットの詳細な構造を示す図である。

図 1 7 は、T S パケットと P E S データとの関係を説明する図である。

図 1 8 は、従来の M P G E 復号装置 1 0 1 の構成を示すブロック図である。

発明を実施するための最良の形態

以下、可変長データが分割格納されたパケットが入力される場合を一例に挙げて、本発明のパケット処理装置を説明する。

図 1 は、本発明の一実施形態に係るパケット処理装置 1 の構成を示すブロック図である。図 1 において、パケット処理装置 1 は、ヘッダ解析部 1 1 と、データ抽出部 1 2 と

、バッファ 13 と、バッファ制御部 14 と、先頭データ特定部 17 と、デコード部 20 とを備える。ヘッダ解析部 11、データ抽出部 12、バッファ 13、バッファ制御部 14 及び先頭データ特定部 17 は、データ処理部 10 を構成する。典型的な先頭データ特定部 17 は、先頭位置メモリ 15 及び先頭数カウンタ 16 で構成される。なお、本実施形態では、デコード部 20 がパケット処理装置 1 に組み込まれている構成を説明するが、このデコード部 20 は、パケット処理装置 1 と別個で構成されてもよい。

ヘッダ解析部 11 及びデータ抽出部 12 には、可変長データが分割格納されたパケットが順次入力される。ヘッダ解析部 11 は、パケットが入力される毎に、そのパケットのヘッダを解析して、ペイロードに格納されているデータが先頭情報を含んだ先頭データかそれ以外のデータ（非先頭データ）かを判定する。ここで、先頭情報とは、デコード処理に必要な時間情報等が記述されたヘッダ情報等である。データ抽出部 12 は、ヘッダ解析部 11 におけるヘッダの解析結果を参照して、入力されたパケットのペイロードから必要なデータを抽出する。そして、データ抽出部 12 は、抽出したデータをバッファ 13 に出力すると共に、先頭データを出力した場合にはバッファ制御部 14 へその旨を通知する。バッファ 13 は、バッファ制御部 14 による格納位置制御に従って、データ抽出部 12 から出力されるデータを所定の位置に格納する。

バッファ制御部 14 は、バッファ 13 の格納位置制御及び蓄積データ制御を行う。この格納位置制御とは、データ

抽出部 1 2 で抽出されたデータを書き込む位置（ライトアドレス）を制御することであり、典型的にはライトポインタ（WP）を用いて行われる。蓄積データ制御とは、データ抽出部 1 2 で抽出されたデータが、オーバーフローすることなくバッファ 1 3 に格納できるように制御することであり、典型的にはバッファ 1 3 に格納されているデータの蓄積データ量の管理である。また、バッファ制御部 1 4 は、バッファ 1 3 に先頭データが格納されたことがデータ抽出部 1 2 から通知されると、先頭位置メモリ 1 5 に格納位置情報を、先頭数カウンタ 1 6 に格納の旨を通知する。

先頭位置メモリ 1 5 は、バッファ制御部 1 4 から通知される先頭データのバッファ 1 3 上のライトアドレスを、先頭データの格納位置情報として保持する。この先頭位置メモリ 1 5 は、複数のレジスト領域を有しているレジスタや、複数の記憶領域を有しているメモリ等である。メモリにすれば、記憶する数を容易に変更することができる。なお、メモリは、バッファ 1 3 とは別に構成される。先頭数カウンタ 1 6 は、バッファ 1 3 に書き込まれた先頭データの個数をカウントする。具体的には、先頭データがバッファ 1 3 に格納されたとき、すなわちバッファ制御部 1 4 から通知を受けたときに、先頭数カウンタ 1 6 のカウント数がインクリメントされる。なお、この先頭数カウンタ 1 6 のカウント数は、デコード部 2 0 によってカウント数分の先頭データがバッファ 1 3 から読み出されたとき、すなわち先頭位置メモリ 1 5 が参照されたときにリセットされる。

次に、図 2 を参照して、データ処理部 1 0 で行われる処

理を詳細に説明する。図 2 は、データ処理部 10 が行う基本的なデータ処理手順の一例を示すフローチャートである。

データ抽出部 12 で抽出されたデータは、バッファ 13 内のライトポインタで示されたアドレス位置に格納される（ステップ S 2 1、S 2 2）。格納されたデータが先頭データでない場合には（ステップ S 2 3、No）、バッファ制御部 14 によって、バッファ 13 内のライトポインタが次のアドレス位置に移動する（ステップ S 2 6）。一方、格納されたデータが先頭データである場合には（ステップ S 2 3、Yes）、まずその先頭データが格納された位置のアドレスが、バッファ制御部 14 によって先頭位置メモリ 15 に保持される（ステップ S 2 4）。さらに、バッファ制御部 14 によって、先頭数カウンタ 16 のカウント数がインクリメントされる（ステップ S 2 5）。その後、バッファ制御部 14 によって、バッファ 13 内のライトポインタが次のアドレス位置に移動する（ステップ S 2 6）。

以上の処理は、入力された各パケットについて実行される（ステップ S 2 7）。これにより、データ処理部 10 は、バッファ 13 に書き込まれた先頭データの格納位置情報及び個数を、先頭位置メモリ 15 及び先頭数カウンタ 16 にそれぞれ記憶することになる。

次に、図 3 及び図 4 A ～図 4 F を参照して、バッファ 13 に格納されるデータ、先頭位置メモリ 15 が保持する格納位置情報及び先頭数カウンタ 16 のカウント数の関係を、具体的に説明する。図 3 は、パケット処理装置 1 に入力

されるパケットの一例を示す図である。図 4 A ～ 図 4 F は、図 3 のパケットに応じたバッファ 1 3、先頭位置メモリ 1 5 及び先頭数カウンタ 1 6 の状態を説明する図である。ここでは、バッファ 1 3、先頭位置メモリ 1 5 及び先頭数カウンタ 1 6 の状態が図 4 A のときに、図 3 に示すパケットが入力された場合を説明する。

最初に抽出されたデータ (1) は、バッファ 1 3 内のライトポインタで示されるアドレス「0 0 0 1」に格納される。データ (1) は先頭データではないので、ライトポインタがアドレス「0 0 0 2」の位置に移動することだけが行われる (図 4 B の状態) 。

次に抽出されたデータ (2) は、バッファ 1 3 内のライトポインタで示されるアドレス「0 0 0 2」に格納される。データ (2) は先頭データであるので、先頭位置メモリ 1 5 にアドレス「0 0 0 2」が保持され、先頭数カウンタ 1 6 のカウント数が「0」から「1」に更新される。その後、ライトポインタがアドレス「0 0 0 3」の位置に移動する (図 4 C の状態) 。

同様に、次に抽出された先頭データではないデータ (3) 及びデータ (4) は、バッファ 1 3 内のライトポインタに従って、アドレス「0 0 0 3」及び「0 0 0 4」にそれぞれ格納される。ライトポインタは、この処理によってアドレス「0 0 0 5」の位置に移動する (図 4 D の状態) 。

さらに、次に抽出された先頭データであるデータ (5) は、バッファ 1 3 内のライトポインタで示されるアドレス「0 0 0 5」に格納される。そして、先頭位置メモリ 1 5

にアドレス「０００５」が追加して保持され、先頭数カウンタ１６のカウント数が「１」から「２」に更新される。その後、ライトポインタがアドレス「０００６」の位置に移動する（図４Ｅの状態）。

そして、次に抽出された先頭データではないデータ（６）は、バッファ１３内のライトポインタに従って、アドレス「０００６」に格納される。ライトポインタは、アドレス「０００７」の位置に移動する（図４Ｆの状態）。

次に、デコード部２０が行う動作を説明する。デコード部２０は、ある所定のタイミングにおいて、先頭位置メモリ１５及び先頭数カウンタ１６の参照、及びバッファ１３からのデータ読み出しを行う。そして、デコード部２０は、読み出したデータをデコード処理し、画像及び音声を出力する。このデコード部２０では、行われるデータの読み出し処理としては、例えば次の６つの手法が考えられる。

１．第１の手法（図５Ａ、図５Ｂ）

この第１の手法は、デコード部２０が、任意のタイミングでデコード処理を実行する手法である。まず、デコード部２０は、処理のタイミングになると、先頭数カウンタ１６のカウント数を参照する（ステップＳ５１、Ｓ５２）。次に、デコード部２０は、カウント数が「１」以上か否かを判断する（ステップＳ５３）。カウント数が「１」以上の場合、デコード部２０は、先頭位置メモリ１５に格納されているアドレスを、このカウント数分だけ取得する（ステップＳ５４）。

例えば、図４Ｆの状態においてデコード処理を実行する

場合、デコード部 20 は、先頭数カウンタ 16 のカウンタ数「2」を参照する。そして、デコード部 20 は、最新情報から 2 つ前までのアドレス「0002」及び「0005」を、先頭位置メモリ 15 から取得する。

次に、デコード部 20 は、バッファ 13 に格納されているデータを、例えばリードポインタで示されているアドレス位置から順に読み出す（ステップ S55）。デコード部 20 は、先頭位置メモリ 15 から取得した格納位置情報に対応するアドレス位置から読み出した先頭データについては、ヘッダとデータとに分離し、ヘッダに基づいてデータのデコード処理を行う。この処理は、ヘッダに含まれるデコード処理に必要な各種の時間情報を利用して行うことができる。

以上の手順をデコード処理が終了するまで繰り返して行うことによって（ステップ S56）、デコード部 20 は、改めてデータの先頭位置検出を行うことなく、バッファ 13 から読み出したデータのデコード処理を行うことができる。なお、図 5 B は、図 5 A の手順に従った処理シーケンス例を示した図である。

2. 第 2 の手法（図 6 A、図 6 B）

この第 2 の手法は、第 1 の手法の手順を変えたものである。第 2 の手法では、デコード部 20 は、処理のタイミングになると、まずバッファ 13 に格納されているデータを、例えばリードポインタで示されているアドレス位置から順に読み出す（ステップ S51、S55）。そして、データの読み出しが完了すると、先頭数カウンタ 16 のカウン

ト数の参照、判断及び先頭位置メモリ 15 に格納されているアドレスの取得を行う（ステップ S 5 2 ～ S 5 4）。

以上の手順をデコード処理が終了するまで繰り返して行うことによって（ステップ S 5 6）、デコード部 20 は、改めてデータの先頭位置検出を行うことなく、バッファ 13 から読み出したデータのデコード処理を行うことができる。なお、図 6 B は、図 6 A の手順に従った処理シーケンス例を示した図である。

3. 第 3 の手法（図 7 A、図 7 B）

この第 3 の手法は、デコード部 20 が、データ処理部 10 からの通知信号に従って、デコード処理を実行する手法である。この手法では、バッファ制御部 14 に、バッファ 13 の蓄積データ量に関する所定のしきい量を予め保持させておく。このしきい量は、バッファ 13 の最大蓄積データ量以内の値（例えば、最大蓄積データ量の 80%）に設定される。そして、バッファ制御部 14 に、バッファ 13 を常時監視させ、蓄積データ量がしきい量に達したと判断した場合には、先頭位置メモリ 15 及び先頭数カウンタ 16 に通知信号を出力する。先頭位置メモリ 15 は、この通知信号を受けてその時点までに保持したアドレスをデコード部 20 に提供する格納位置情報として確定する。また、先頭数カウンタ 16 は、この通知信号を受けてその時点までのカウント数、すなわちしきい量分のデータ内に含まれる先頭データの個数を、デコード部 20 に提供する個数情報として確定する。さらに、この通知信号は、先頭位置メモリ 15 又は先頭数カウンタ 16 を通じて、デコード部 2

0 に出力される。

まず、デコード部 20 は、蓄積データ量がしきい量に達した通知信号を受けると、先頭数カウンタ 16 で確定されたカウント数を参照する（ステップ S 7 1、S 7 2）。次に、デコード部 20 は、カウント数が「1」以上か否かを判断する（ステップ S 7 3）。カウント数が「1」以上の場合、デコード部 20 は、先頭位置メモリ 15 で確定された格納位置情報を、このカウント数分だけ取得する（ステップ S 7 4）。このように、上記通知信号以降にバッファ 13 に格納された先頭データに関しては、デコード部 20 に情報提供がされないことになる。そして、デコード部 20 は、バッファ 13 に格納されているデータを、例えばリードポインタで示されているアドレス位置から順に読み出す（ステップ S 7 5）。デコード部 20 は、先頭位置メモリ 15 から取得した格納位置情報に対応するアドレス位置から読み出した先頭データについては、ヘッダとデータとに分離し、ヘッダに基づいてデータのデコード処理を行う。

なお、先頭数カウンタ 16 は、デコード部 20 が先頭位置メモリ 15 の格納位置情報を読み出したときに、確定したカウント数をリセットすると共に、その時点でバッファ 13 に格納されている先頭データの個数についてカウント表示を行う。

以上の手順をデコード処理が終了するまで繰り返して行うことによって（ステップ S 7 6）、デコード部 20 は、改めてデータの先頭位置検出を行うことなく、バッファ 1

3 から読み出したデータのデコード処理を行うことができる。さらに、デコード部 20 は、バッファ 13 の蓄積データ量がしきい量に達した通知信号を受けた場合にだけ、データの読み出し処理を行えばよいので、デコード処理を軽減することができる。なお、図 7 B は、図 7 A の手順に従った処理シーケンス例を示した図である。

4. 第 4 の手法（図 8 A、図 8 B）

この第 4 の手法は、第 3 の手法の手順を変えたものである。第 4 の手法では、デコード部 20 は、処理のタイミングになると、まずバッファ 13 に格納されているデータを、例えばリードポインタで示されているアドレス位置から順に読み出す（ステップ S 7 1、S 7 5）。そして、データの読み出しが完了すると、先頭数カウンタ 16 のカウンタ数の参照、判断及び先頭位置メモリ 15 に格納されているアドレスの取得を行う（ステップ S 7 2～S 7 4）。

以上の手順をデコード処理が終了するまで繰り返して行うことによって（ステップ S 7 6）、デコード部 20 は、改めてデータの先頭位置検出を行うことなく、バッファ 13 から読み出したデータのデコード処理を行うことができる。なお、図 8 B は、図 8 A の手順に従った処理シーケンス例を示した図である。

5. 第 5 の手法（図 9 A、図 9 B）

この第 5 の手法も、デコード部 20 が、データ処理部 10 からの通知信号に従って、デコード処理を実行する手法である。この手法では、先頭数カウンタ 16 に、先頭位置メモリ 15 において保持できる格納位置情報の数に対応し

た所定のしきい数を予め保持させておく。すなわち、このしきい数は、先頭位置メモリ 15 が備える格納領域の数に対応させて設定される。そして、先頭数カウンタ 16 が、カウント数がしきい数に達したと判断した場合には、その旨がデコード部 20 に通知される。

まず、デコード部 20 は、カウント数がしきい数に達した通知信号を受けると、先頭数カウンタ 16 のカウント数を参照する（ステップ S 9 1、S 9 2）。次に、デコード部 20 は、先頭位置メモリ 15 に格納されている格納位置情報を、このカウント数分だけ取得する（ステップ S 9 3）。そして、デコード部 20 は、バッファ 13 に格納されているデータを、例えばリードポインタで示されているアドレス位置から順に読み出す（ステップ S 9 4）。デコード部 20 は、先頭位置メモリ 15 から取得した格納位置情報に対応するアドレス位置から読み出した先頭データについては、ヘッダとデータとに分離し、ヘッダに基づいてデータのデコード処理を行う。

以上の手順をデコード処理が終了するまで繰り返して行うことによって（ステップ S 9 5）、デコード部 20 は、改めてデータの先頭位置検出を行うことなく、バッファ 13 から読み出したデータのデコード処理を行うことができる。さらに、所定数の先頭データがバッファ 13 に格納されれば、自動的にデコード部 20 がデータを読み出すので、例えばデータ長の短いデータが連続して入力され、バッファ 13 に多数の先頭データが格納される恐れがあるような場合でも、先頭位置メモリ 15 の回路規模を増加させず

に済む。なお、図 9 B は、図 9 A の手順に従った処理シーケンス例を示した図である。

6. 第 6 の手法（図 10 A、図 10 B）

この第 6 の手法は、第 5 の手法の手順を変えたものである。第 6 の手法では、デコード部 20 は、処理のタイミングになると、まずバッファ 13 に格納されているデータを、例えばリードポインタで示されているアドレス位置から順に読み出す（ステップ S 9 1、S 9 4）。そして、データの読み出しが完了すると、先頭数カウンタ 16 のカウンタ数の参照及び先頭位置メモリ 15 に格納されているアドレスの取得を行う（ステップ S 9 2、S 9 3）。

以上の手順をデコード処理が終了するまで繰り返して行うことによって（ステップ S 9 5）、デコード部 20 は、改めてデータの先頭位置検出を行うことなく、バッファ 13 から読み出したデータのデコード処理を行うことができる。なお、図 10 B は、図 10 A の手順に従った処理シーケンス例を示した図である。

以上のように、本発明の一実施形態に係るパケット処理装置及び方法によれば、デコード部 20 がバッファ 13 に格納されたデータを読み出す場合、データの読み出しとは別に先頭データの格納位置及び個数に関する情報を得ることができる。従って、デコード部 20 側でデータの先頭位置を検出する必要がなくなり、デコード部 20 の処理負荷の軽減、デコード処理速度の向上、及び消費電力の低減を実現することができる。

（MPEG 2 方式の TS パケットへの適用例）

次に、本発明の packets 処理装置 1 を、MPEG2 方式の TS packets のデコード処理に適用した場合の実施例を説明する。なお、データ処理部 10 に入力される TS packets の同期が、TS ヘッダ内の同期バイト（図 16 を参照）の検出等によって確立されているものとする。

ヘッダ解析部 11 及びデータ抽出部 12 には、MPEG2 方式の TS packets が順次入力される。ヘッダ解析部 11 は、TS packets が入力される毎に、その TS packets のヘッダ情報、すなわち TS ヘッダの解析を行う。このとき、ヘッダ解析部 11 は、ペイロードユニット開始インジケータ（図 16 を参照）が「1」であれば、PES ヘッダが含まれた PES データ（以下、先頭 PES データと記す）が、入力された TS packets のペイロードに格納されていると判定する。データ抽出部 12 は、ヘッダ解析部 11 における TS ヘッダの解析結果を参照して、入力された TS packets から必要な PES データを抽出する。そして、データ抽出部 12 は、抽出した PES データをバッファ 13 に出力すると共に、先頭 PES データを出力した場合にはバッファ制御部 14 へその旨を通知する。バッファ 13 は、バッファ制御部 14 による格納位置制御に従って、データ抽出部 12 から出力される PES データを所定の位置に格納する。

先頭位置メモリ 15 は、バッファ制御部 14 から通知される先頭 PES データのバッファ 13 上のライトアドレスを、先頭 PES データの格納位置情報として保持する。先頭数カウンタ 16 は、バッファ 13 に書き込まれた先頭 P

ESデータの個数をカウントする。具体的には、先頭PESデータがバッファ13に格納されたとき、すなわちバッファ制御部14から通知を受けたときに、先頭数カウンタ16のカウント数がインクリメントされる。なお、この先頭数カウンタ16のカウント数は、デコード部20によってカウント数分の先頭PESデータがバッファ13から読み出されたとき、すなわち先頭位置メモリ15が参照されたときにリセットされる。

図11は、パケット処理装置1に入力されるTSパケットの一例を示す図である。図12A～図12Fは、図11のTSパケットに応じたバッファ13、先頭位置メモリ15及びPES先頭数カウンタ16の状態を説明する図である。ここでは、バッファ13、先頭位置メモリ15及び先頭数カウンタ16の状態が図12Aのときに、図11に示すTSパケットが入力された場合を説明する。

最初に抽出されたPESデータ(1)は、バッファ13内のライトポインタで示されるアドレス「0001」に格納される。PESデータ(1)は先頭PESデータではないので、ライトポインタがアドレス「0002」の位置に移動することだけが行われる(図12Bの状態)。なお、図面では、PESデータのエレメンタリストリームを「ES」と記述している。

次に抽出されたPESデータ(2)は、バッファ13内のライトポインタで示されるアドレス「0002」に格納される。PESデータ(2)は先頭PESデータであるので、先頭位置メモリ15にアドレス「0002」が保持さ

れ、先頭数カウンタ 16 のカウント数が「0」から「1」に更新される。その後、ライトポインタがアドレス「0003」の位置に移動する（図 12 C の状態）。なお、図面では、PES データの PES ヘッダを「H」と記述している。

同様に、次に抽出された先頭 PES データではない PES データ（3）及び（4）は、バッファ 13 内のライトポインタに従って、アドレス「0003」及び「0004」にそれぞれ格納される。ライトポインタは、この処理によってアドレス「0005」の位置に移動する（図 12 D の状態）。

さらに、次に抽出された先頭 PES データである PES データ（5）は、バッファ 13 内のライトポインタで示されるアドレス「0005」に格納される。そして、先頭位置メモリ 15 にアドレス「0005」が追加して保持され、先頭数カウンタ 16 のカウント数が「1」から「2」に更新される。その後、ライトポインタがアドレス「0006」の位置に移動する（図 12 E の状態）。

そして、次に抽出された先頭 PES データではない PES データ（6）は、バッファ 13 内のライトポインタに従って、アドレス「0006」に格納される。ライトポインタは、アドレス「0007」の位置に移動する（図 12 F の状態）。

デコード部 20 が行う動作は、上述した第 1 ～ 第 6 の手法の通りである。なお、先頭 PES データから分離した PES ヘッダに基づくエレメンタリストリームのデコード処

理は、P E S ヘッダに含まれる時間情報（P T S : P r e s e n t a t i o n T i m e S t a m p 及び D T S : D e c o d e T i m e S t a m p）等の M P E G デコード処理に必要な各種の情報（図 1 5 を参照）を利用して行うことができる。

以上のように、M P E G 2 方式の T S パケットにも本発明のパケット処理装置及び方法を適用させることができる。

なお、上記実施形態では、格納位置情報として、先頭データが格納されているバッファ 1 3 内のアドレス位置を用いる場合を説明したが、バッファ 1 3 に格納された最初のデータを基準として先頭データの位置を相対的に示す情報（バイト数等）、とすることも可能である。

また、上記実施形態では、先頭位置メモリ 1 5 と先頭数カウンタ 1 6 とで構成される先頭データ特定部 1 7 を用いて、先頭データが格納されているバッファ 1 3 内の位置を特定する場合を説明した。しかし、本発明は、メモリとカウンタとを用いた構成に限られるものではなく、バッファ 1 3 内の先頭データの格納位置を特定できる構成であれば、他の構成による先頭データ特定部を用いても構わない。

また、上記実施形態では、バッファ 1 3 にヘッダ及びデータの両方を格納する場合を説明したが、データだけを格納しても構わない。M P E G 2 方式の場合は、「E S」がデータである。但し、この場合には、本来ヘッダに含まれるデコード処理に必要な各種の時間情報（タイムスタンプ T 1、T 2 …等）を、例えば先頭データと対応付けて

先頭位置メモリ 15 に格納しておく必要がある。図 13 は、この手法を図 12 F の状態に適用させた例を示す図である。

さらに、上記実施形態のデコード部 20 では、第 3（及び第 4）の手法又は第 5（及び第 6）の手法のいずれかを実施するように記載したが、この両方の手法を同時に用いても構わない。図 14 A 及び図 14 B は、両方の手順に従った処理シーケンス例を示した図である。

なお、本発明のパケット処理装置におけるヘッダ解析部 11、データ抽出部 12、バッファ制御部 14 及び先頭データ特定部 17 の各機能ブロックは、典型的には集積回路である L S I（集積度の違いにより、I C、システム L S I、スーパー L S I、又はウルトラ L S I 等と称される）として実現される。これらは、個別に 1 チップ化されてもよいし、一部又は全部を含むように 1 チップ化されてもよい。

また、集積回路化の手法は、L S I に限るものではなく、専用回路又は汎用プロセッサで実現してもよい。また、L S I 製造後にプログラムすることが可能な F P G A（F i e l d P r o g r a m m a b l e G a t e A r r a y）や、L S I 内部の回路セルの接続や設定を再構成可能なりコンフィギュラブル・プロセッサを利用してもよい。

さらには、半導体技術の進歩又は派生する別の技術により、L S I に置き換わる集積回路化の技術が登場すれば、当然その技術を用いて機能ブロックの集積化を行ってもよ

い。バイオ技術の適応等が可能性としてあり得る。

また、本発明のパケット処理方法は、記憶装置（ROM、RAM、ハードディスク等）に格納された上述した処理手順を実行可能な所定のプログラムデータが、CPUによって解釈実行されることで実現されてもよい。この場合、プログラムデータは、CD-ROMやフレキシブルディスク等の記録媒体を介して記憶装置内に導入されてもよいし、記録媒体上から直接実行されてもよい。

産業上の利用可能性

本発明のパケット処理装置及び方法は、可変長データが分割格納されたパケットのデータを復号する場合等に利用可能であり、特にデコーダにおける処理負荷の軽減、デコード処理速度の向上、及び消費電力の低減を実現させたい場合等に有効である。

請求の範囲

1. 可変長データが分割格納されたパケットを処理するパケット処理装置であって、

入力するパケットのヘッダを解析し、ペイロードに格納されているデータが先頭情報を含んだ先頭データかそれ以外のデータかを判定するヘッダ解析部と、

前記ヘッダ解析部の解析結果を参照して、パケットのペイロードからデータを抽出するデータ抽出部と、

前記データ抽出部で抽出されたデータを格納するバッファと、

前記バッファ内におけるデータの格納位置及び蓄積データ量を制御するバッファ制御部と、

前記ヘッダ解析部の解析結果及び前記バッファ制御部の制御に基づいて、前記バッファ内の前記先頭データを特定するための情報を生成する先頭データ特定部とを備える。

2. 請求項1に記載のパケット処理装置であって、
前記先頭データ特定部は、

前記バッファに格納された前記先頭データの格納位置情報を保持する先頭位置メモリと、

前記バッファに格納された前記先頭データの個数をカウントする先頭数カウンタとを備える。

3. 請求項2に記載のパケット処理装置であって、
前記先頭位置メモリが、前記格納位置情報を保持するレジスタであることを特徴とする。

4. 請求項2に記載のパケット処理装置であって、

前記先頭位置メモリが、前記バッファとは別個に構成された前記格納位置情報を保持するメモリであることを特徴とする。

5. 請求項2に記載の packets 処理装置であって、
前記格納位置情報は、前記先頭データを格納する前記バッファのライトアドレスであることを特徴とする。

6. 請求項2に記載の packets 処理装置であって、
前記格納位置情報は、前記バッファに格納された最初のデータを基準として前記先頭データの位置を相対的に示す情報であることを特徴とする。

7. 請求項2～6のいずれかに記載の packets 処理装置であって、

前記バッファ制御部は、前記蓄積データ量と予め定めたいきい量とを比較して、蓄積データ量がいきい量以上となったときに所定の通知信号を出力することを特徴とする。

8. 請求項7に記載の packets 処理装置であって、
前記先頭数カウンタは、前記所定の通知信号を検出した場合、前記いきい量分のデータ内に含まれる前記先頭データの個数を表示することを特徴とする。

9. 請求項2～6のいずれかに記載の packets 処理装置であって、

前記バッファ制御部は、前記先頭数カウンタの個数と予め定めたいきい数とを比較して、個数がいきい数以上となったときに所定の通知信号を出力することを特徴とする。

10. 請求項7に記載の packets 処理装置であって、

前記いきい数は、前記先頭位置メモリにおける前記格納

位置情報を保持できる領域の数であることを特徴とする。

1 1. 請求項 2 ～ 1 0 のいずれかに記載の packets 処理装置であって、

所定のタイミングで、前記バッファからデータを読み出し、かつ、前記先頭データ特定部から格納位置情報及びカウント数を取得し、当該格納位置情報及びカウント数に基づいて読み出したデータに含まれる前記先頭データを先頭情報とデータとに分離し、当該先頭情報に基づいて読み出したデータのデコード処理を行うデコード部をさらに備える。

1 2. 請求項 1 1 に記載の packets 処理装置であって、

前記バッファ制御部は、前記蓄積データ量と予め定めたとしきい量とを比較して、蓄積データ量がしきい量以上となったときに所定の通知信号を出力し、

前記先頭数カウンタは、前記所定の通知信号を検出した場合、前記しきい量分のデータ内に含まれる前記先頭データの個数を表示し、

前記デコード部は、前記通知信号を受けたタイミングで前記バッファから前記しきい量分のデータを読み出すことを特徴とする。

1 3. 請求項 1 1 に記載の packets 処理装置であって、

前記バッファ制御部は、前記先頭数カウンタの個数と予め定めたとしきい数とを比較して、個数がしきい数以上となったときに所定の通知信号を出力し、

前記デコード部は、前記通知信号を受けたタイミングで前記バッファからデータを読み出すことを特徴とする。

14. 請求項1に記載のパケット処理装置であって、
可変長であるPESデータが格納されたMPEG方式の
トランスポートストリームパケットを入力する場合、

前記ヘッダ解析部は、入力するトランスポートストリームのTSパケットのヘッダを解析し、ペイロードに格納されているデータがPESヘッダを含んだ先頭PESデータかそれ以外のPESデータかを判定し、

前記データ抽出部は、前記ヘッダ解析部の解析結果を参照して、TSパケットのペイロードからPESデータを抽出し、

前記バッファは、前記データ抽出部で抽出されたPESデータを格納し、

前記バッファ制御部は、前記バッファ内におけるPESデータの格納位置及び蓄積データ量を制御し、

前記先頭データ特定部は、前記ヘッダ解析部の解析結果及び前記バッファ制御部の制御に基づいて、前記バッファ内の前記先頭PESデータを特定するための情報を生成することを特徴とする。

15. 可変長データが分割格納されたパケットを処理するパケット処理方法であって、

入力するパケットのヘッダを解析し、ペイロードに格納されているデータが先頭情報を含んだ先頭データかそれ以外のデータかを判定する解析ステップと、

前記解析ステップの解析結果を参照して、パケットのペイロードからデータを抽出する抽出ステップと、

前記抽出ステップで抽出されたデータをバッファに格納

するステップと、

前記バッファ内におけるデータの格納位置及び蓄積データ量を制御する制御ステップと、

前記解析ステップの解析結果及び前記制御ステップの制御に基づいて、前記バッファ内の前記先頭データを特定するための情報を生成する特定ステップとを備える。

16. バッファに格納されたデータに含まれる先頭情報を含んだ先頭データを特定するための情報を用いて、バッファに格納されたデータをデコードするデコード処理方法であって、

所定のタイミングで前記バッファからデータを読み出す読み出しステップと、

前記先頭データを特定するための情報に基づいて、読み出したデータに含まれる前記先頭データを先頭情報とデータとに分離する分離ステップと、

前記先頭情報に基づいて読み出したデータのデコード処理を行う復号ステップとを備える。

17. 可変長データが分割格納されたパッケージを処理するパッケージ処理方法を、コンピュータに実行させるためのコンピュータ読み取り可能なプログラムであって、

前記プログラムは、コンピュータに、

入力するパッケージのヘッダを解析し、ペイロードに格納されているデータが先頭情報を含んだ先頭データかそれ以外のデータかを判定する解析ステップと、

前記解析ステップの解析結果を参照して、パッケージのペイロードからデータを抽出する抽出ステップと、

前記抽出ステップで抽出されたデータをバッファに格納するステップと、

前記バッファ内におけるデータの格納位置及び蓄積データ量を制御する制御ステップと、

前記解析ステップの解析結果及び前記制御ステップの制御に基づいて、前記バッファ内の前記先頭データを特定するための情報を生成する特定ステップとを実行させる。

18. バッファに格納されたデータに含まれる先頭情報を含んだ先頭データを特定するための情報を用いてバッファに格納されたデータをデコードするデコード処理方法を、コンピュータに実行させるためのコンピュータ読み取り可能なプログラムであって、

前記プログラムは、コンピュータに、

所定のタイミングで前記バッファからデータを読み出す読み出しステップと、

前記先頭データを特定するための情報に基づいて、読み出したデータに含まれる前記先頭データを先頭情報とデータとに分離する分離ステップと、

前記先頭情報に基づいて読み出したデータのデコード処理を行う復号ステップとを実行させる。

19. 可変長データが分割格納されたパッケージを処理するパッケージ処理方法を、コンピュータに実行させるためのコンピュータ読み取り可能なプログラムを記録した媒体であって、

前記媒体に記録されたプログラムは、コンピュータに、
入力するパッケージのヘッダを解析し、ペイロードに格納

されているデータが先頭情報を含んだ先頭データかそれ以外のデータかを判定する解析ステップと、

前記解析ステップの解析結果を参照して、パケットのペイロードからデータを抽出する抽出ステップと、

前記抽出ステップで抽出されたデータをバッファに格納するステップと、

前記バッファ内におけるデータの格納位置及び蓄積データ量を制御する制御ステップと、

前記解析ステップの解析結果及び前記制御ステップの制御に基づいて、前記バッファ内の前記先頭データを特定するための情報を生成する特定ステップとを実行させる。

20. バッファに格納されたデータに含まれる先頭情報を含んだ先頭データを特定するための情報を用いてバッファに格納されたデータをデコードするデコード処理方法を、コンピュータに実行させるためのコンピュータ読み取り可能なプログラムを記録した媒体であって、

前記媒体に記録されたプログラムは、コンピュータに、
所定のタイミングで前記バッファからデータを読み出す読み出しステップと、

前記先頭データを特定するための情報に基づいて、読み出したデータに含まれる前記先頭データを先頭情報とデータとに分離する分離ステップと、

前記先頭情報に基づいて読み出したデータのデコード処理を行う復号ステップとを実行させる。

21. 可変長データが分割格納されたパケットを処理する装置に組み込まれる集積回路であって、

前記装置は、データを格納するためのバッファを備え、
前記集積回路は、

入力するパケットのヘッダを解析し、ペイロードに格納されているデータが先頭情報を含んだ先頭データかそれ以外のデータかを判定するヘッダ解析部、

前記ヘッダ解析部の解析結果を参照して、パケットのペイロードからデータを抽出し、抽出したデータを前記バッファに格納させるデータ抽出部、

前記バッファ内におけるデータの格納位置及び蓄積データ量を制御するバッファ制御部、及び

前記ヘッダ解析部の解析結果及び前記バッファ制御部の制御に基づいて、前記バッファ内の前記先頭データを特定するための情報を生成する先頭データ特定部として機能する回路を、集積している。

２２．請求項２１に記載の集積回路であって、

所定のタイミングで、前記バッファからデータを読み出し、かつ、前記先頭データ特定部から前記先頭データを特定するための情報を取得し、当該情報に基づいて読み出したデータに含まれる前記先頭データを先頭情報とデータとに分離し、当該先頭情報に基づいて読み出したデータのデコード処理を行うデコード部として機能する回路を、さらに集積している。

図 1

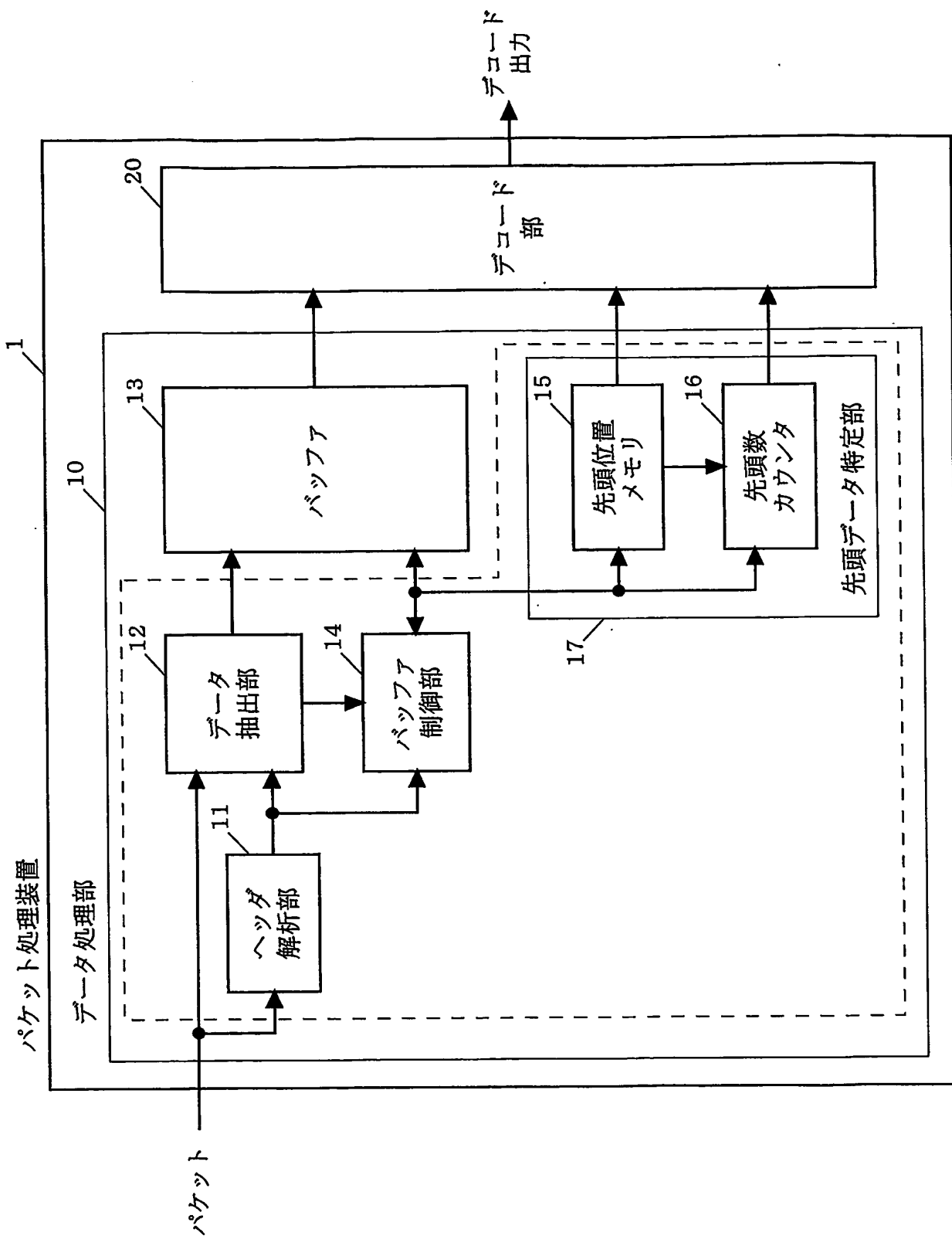


図 2

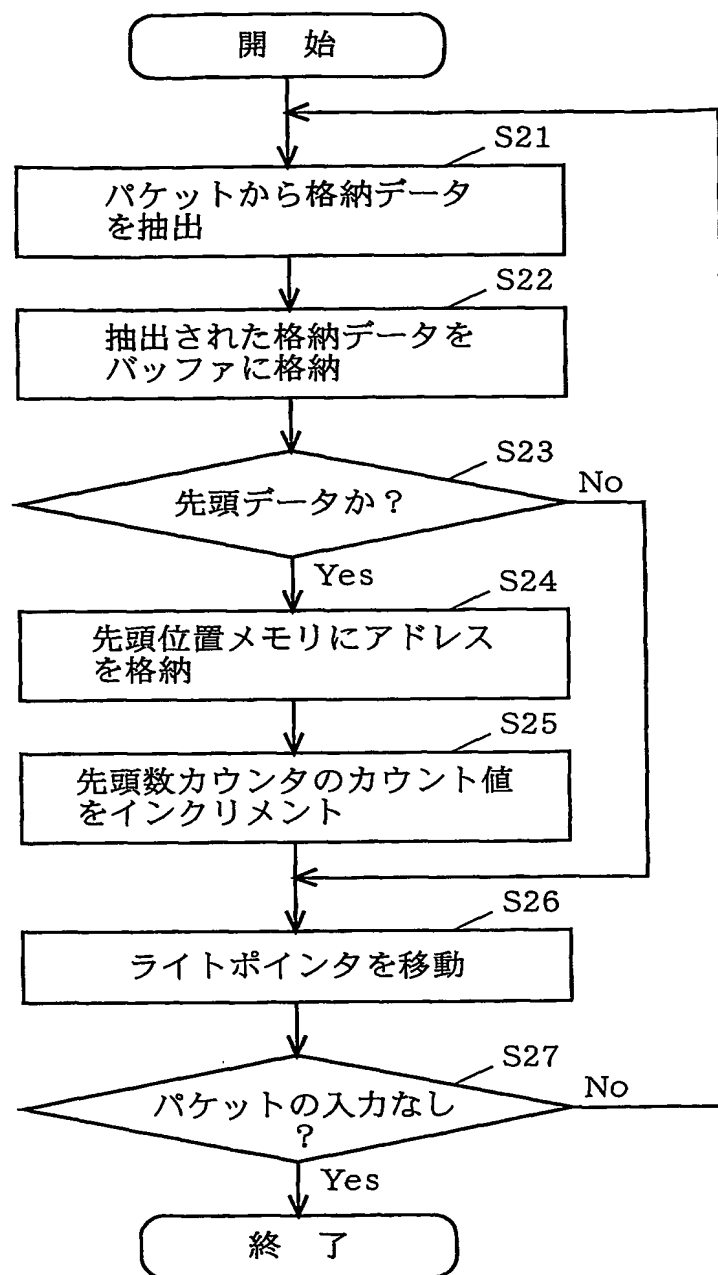


図 3

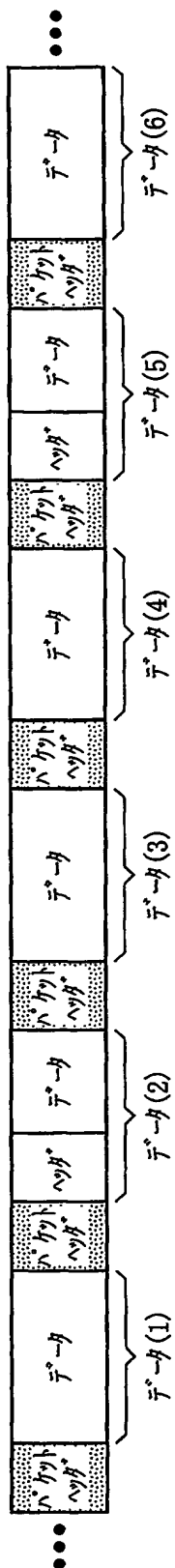


図 4 A

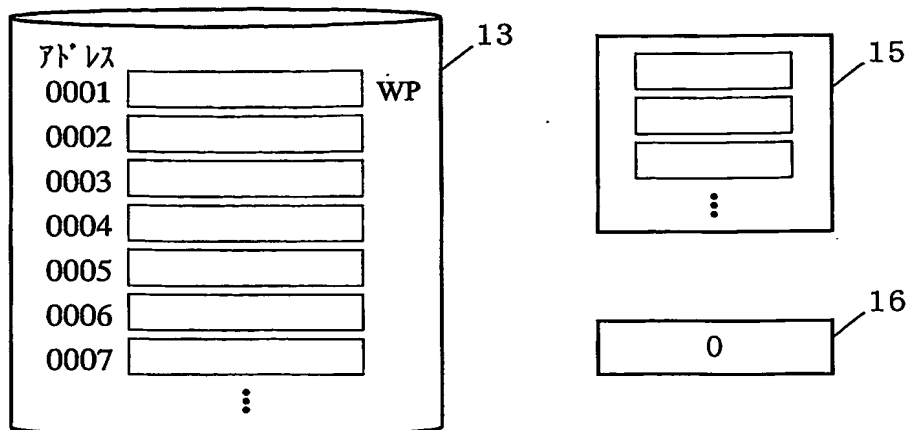


図 4 B

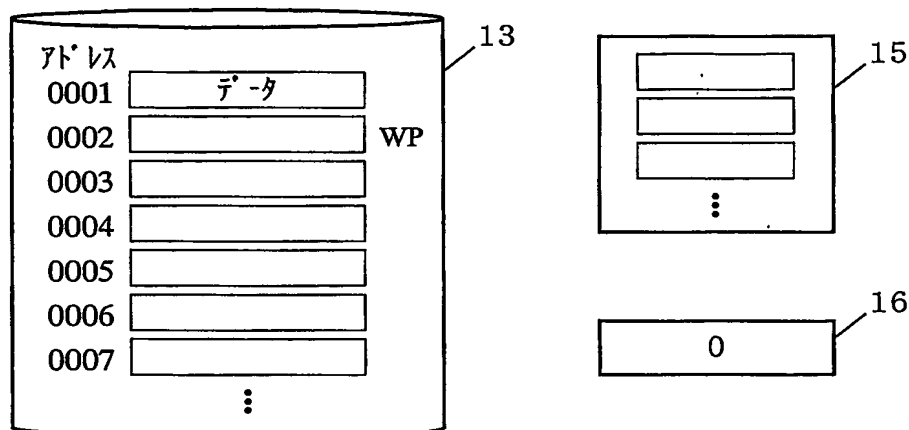


図 4 C

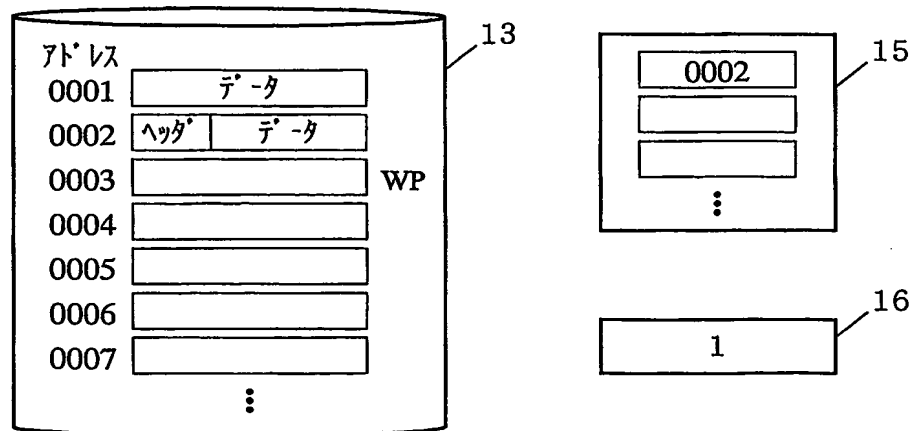


図 4 D

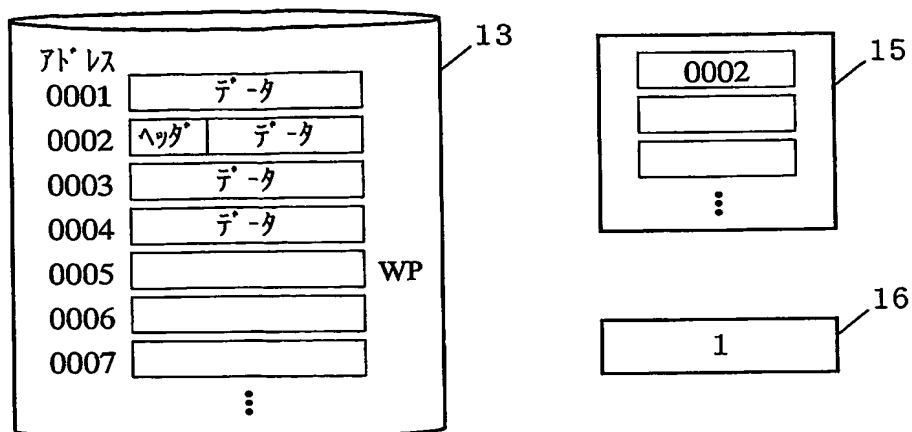


図 4 E

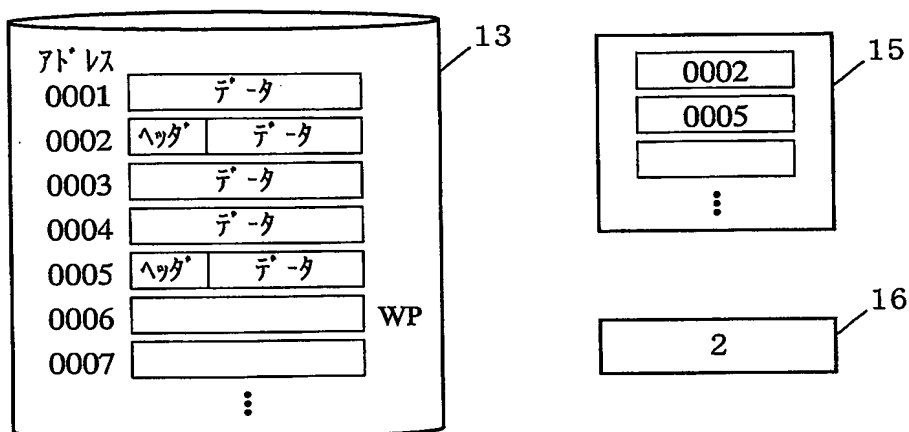


図 4 F

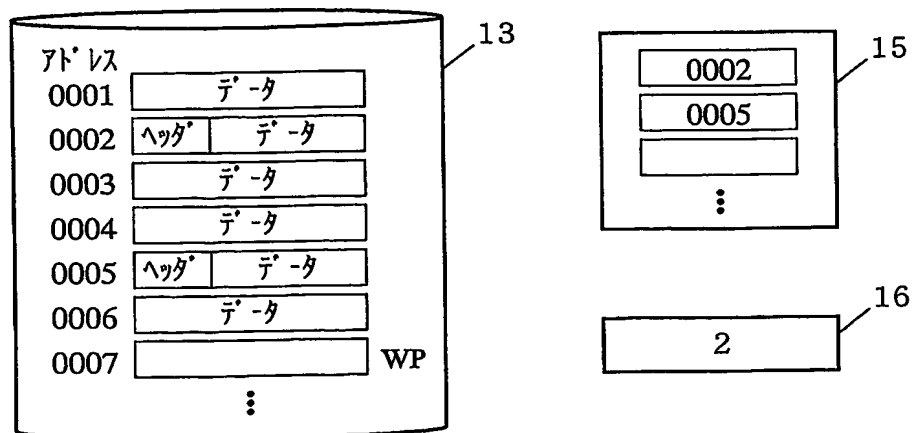


図 5 A

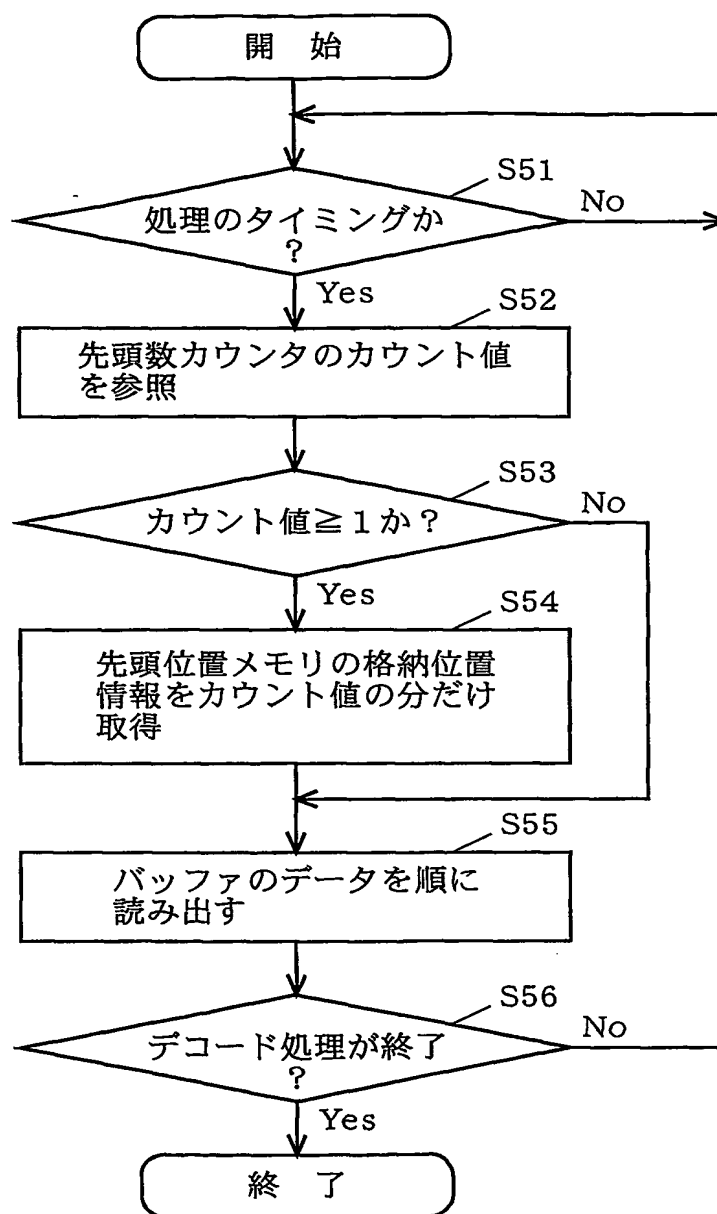


図 5 B

データ処理部 1 0

デコード部 2 0

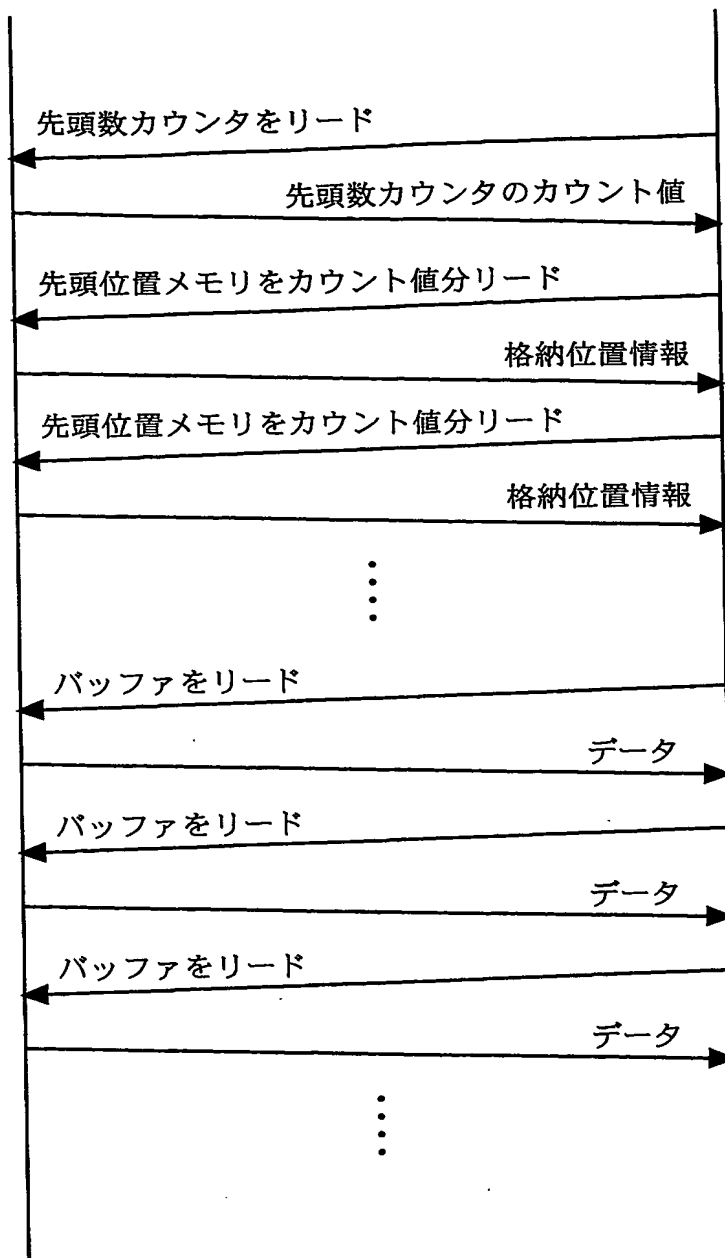


図 6 A

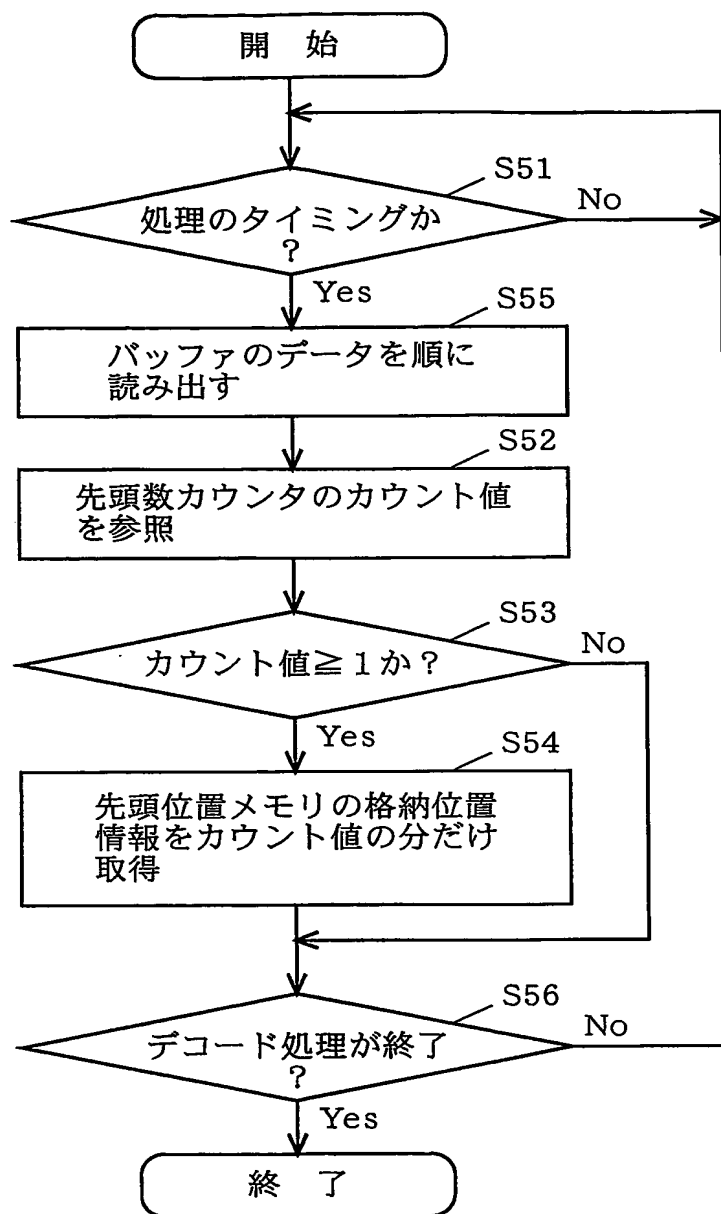


図 6 B

データ処理部 1 0

デコード部 2 0

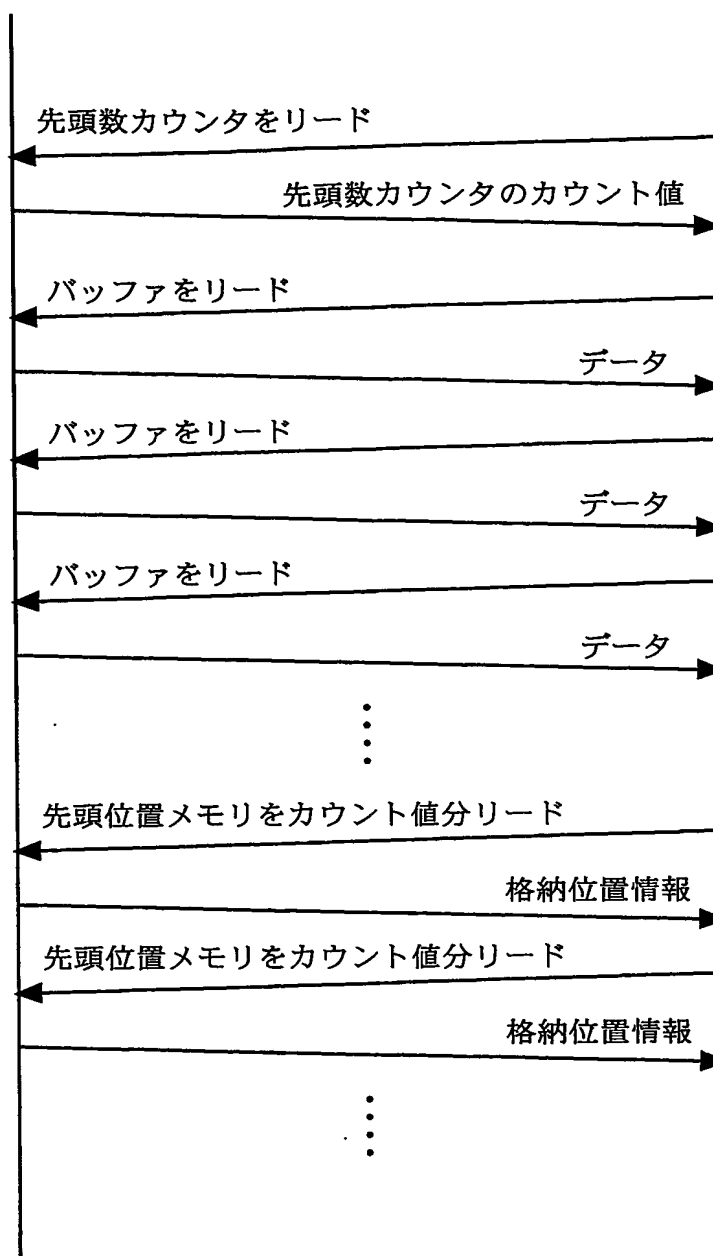


図 7 A

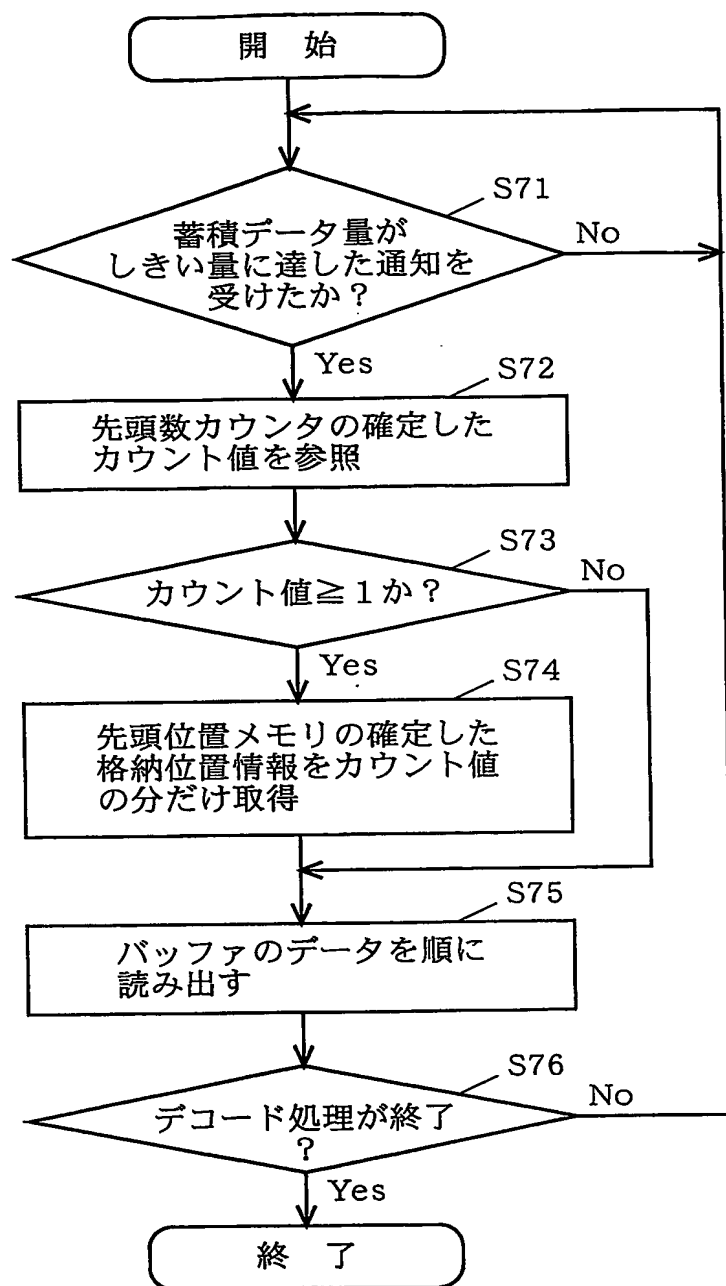


図 7 B

データ処理部 1 0

デコード部 2 0

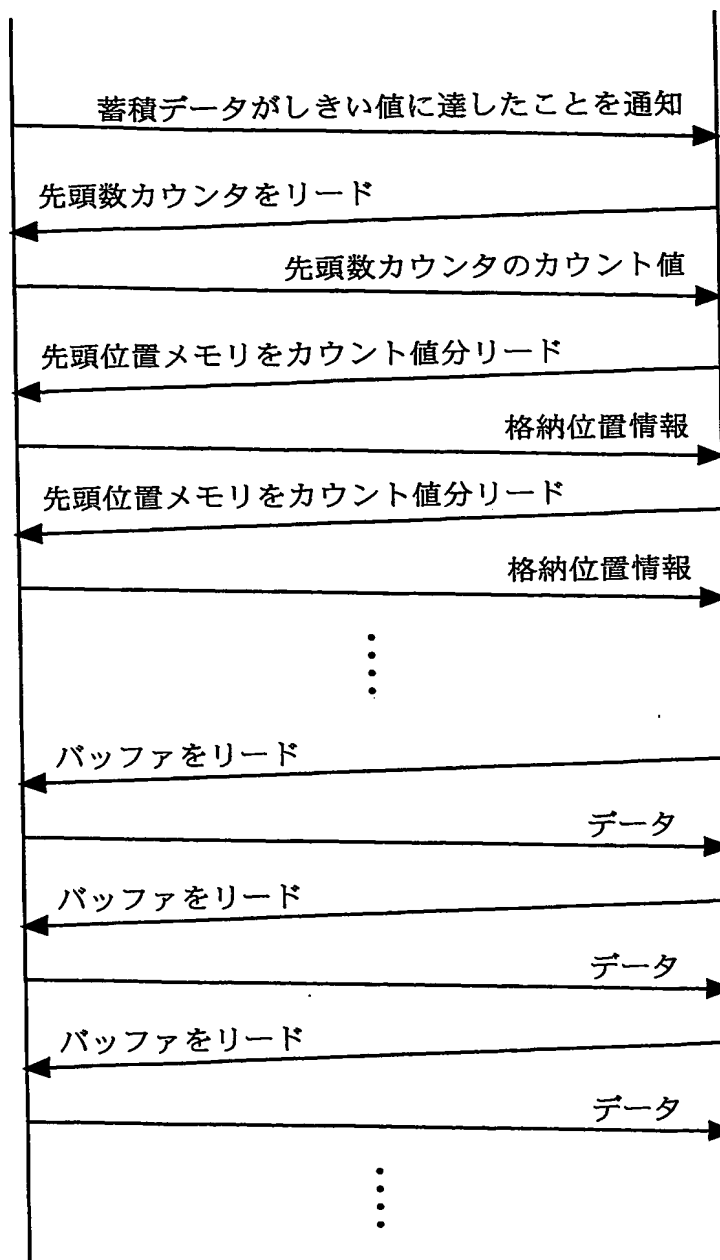


図 8 A

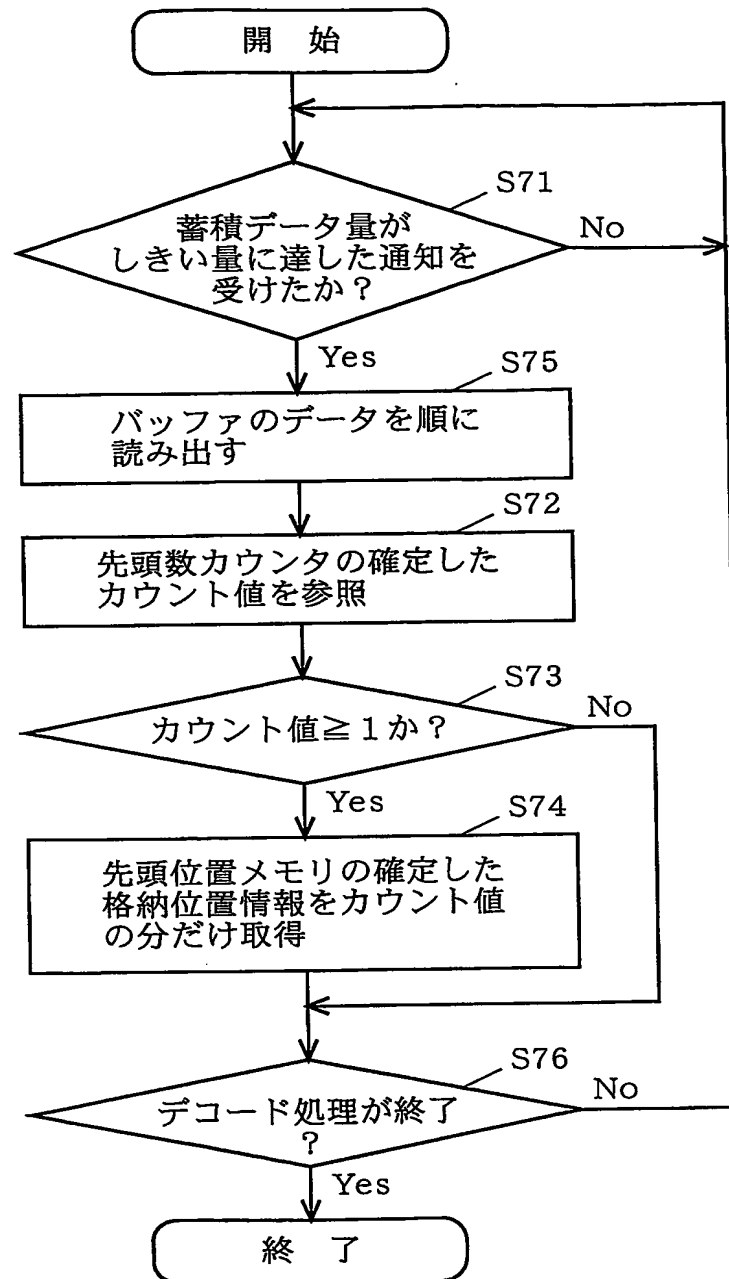


図 8 B

データ処理部 1 0

デコード部 2 0

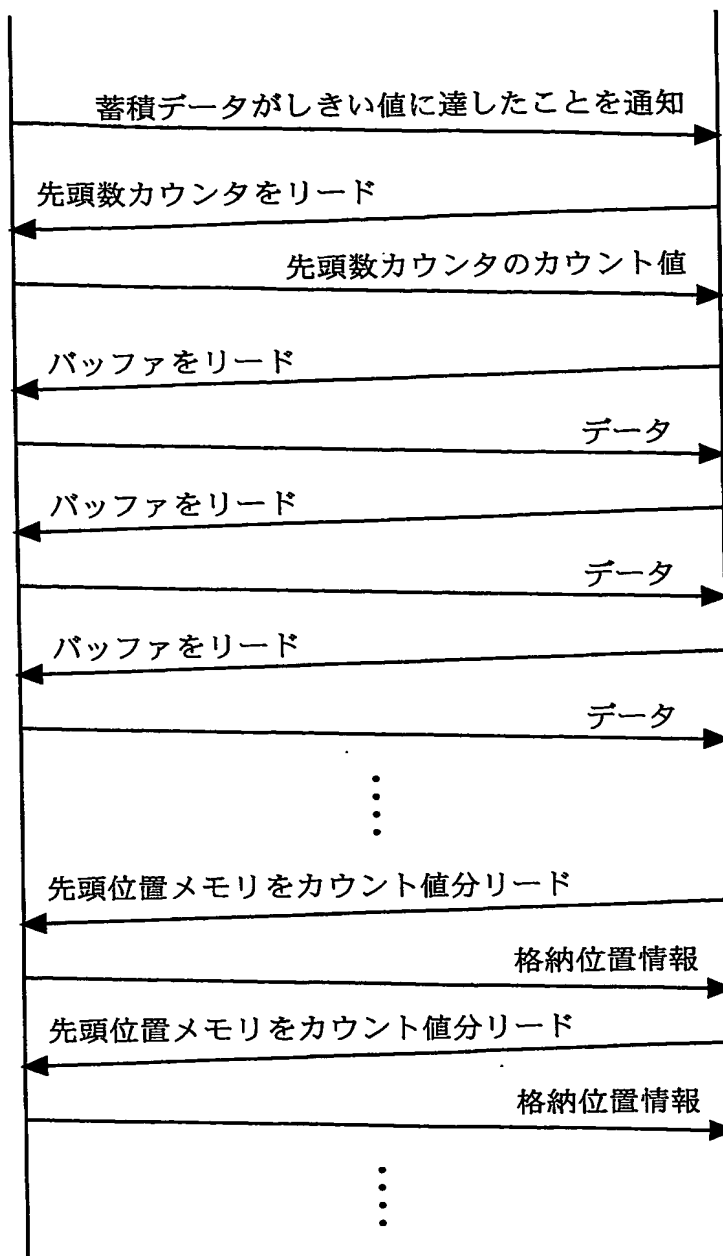


図 9 A

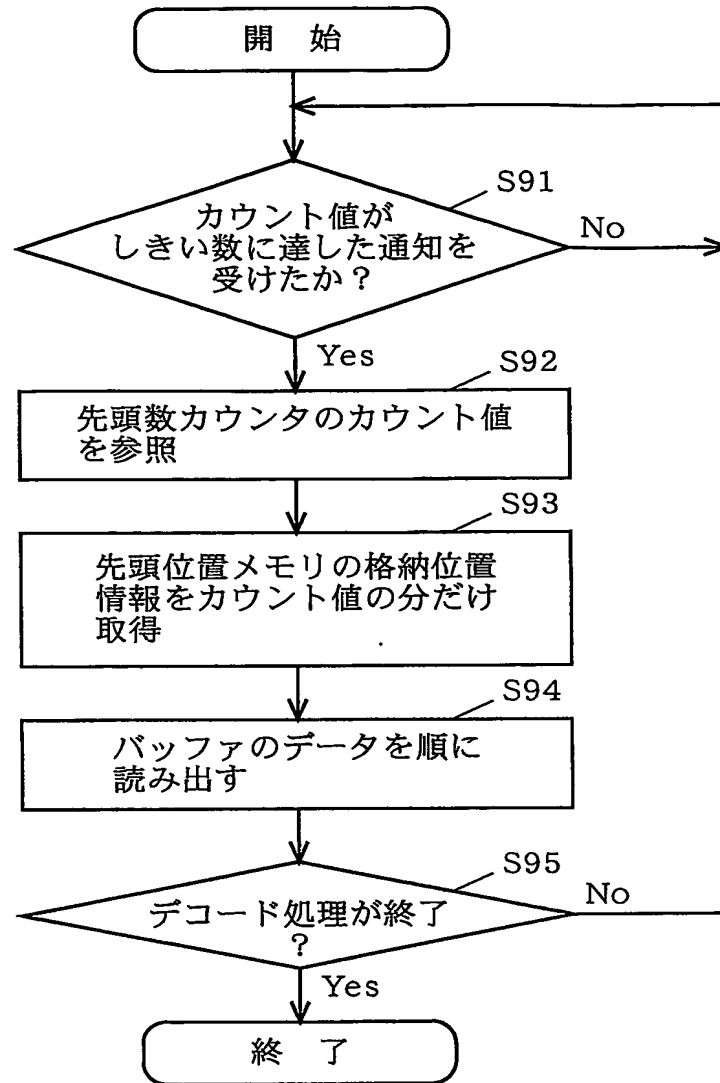


図 9 B

データ処理部 1 0

デコード部 2 0

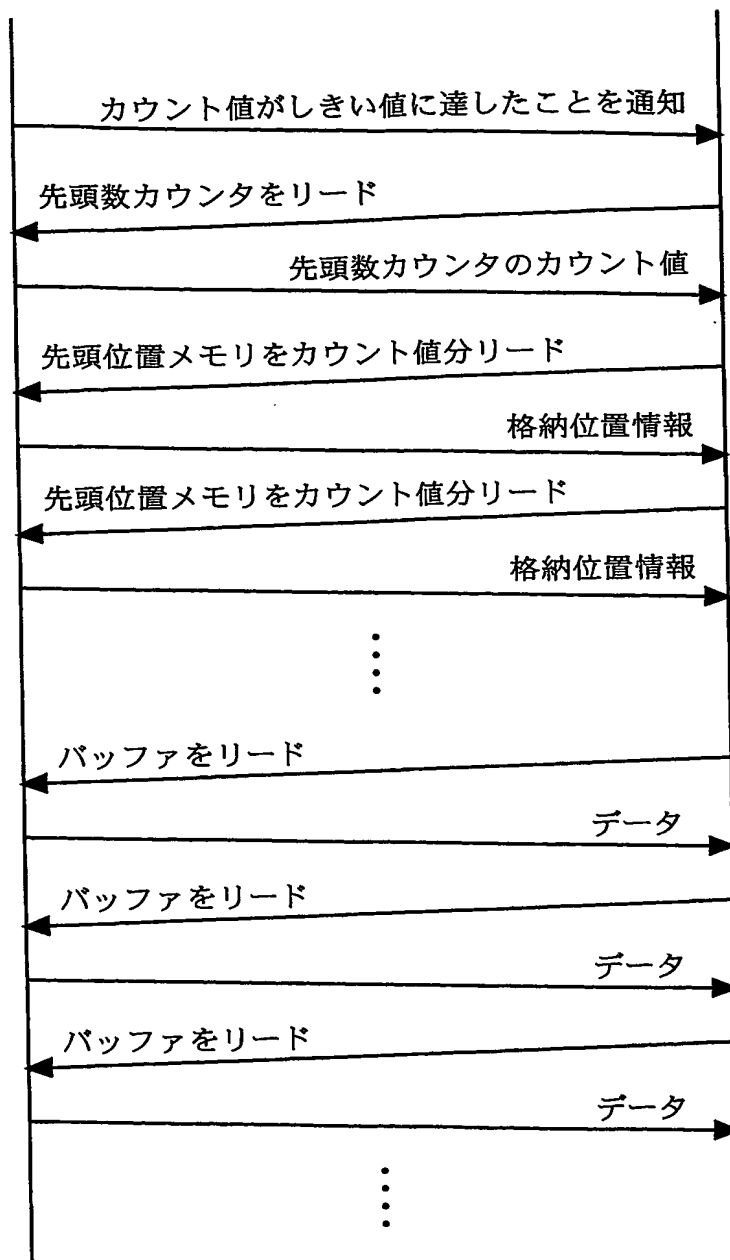


図 1 0 A

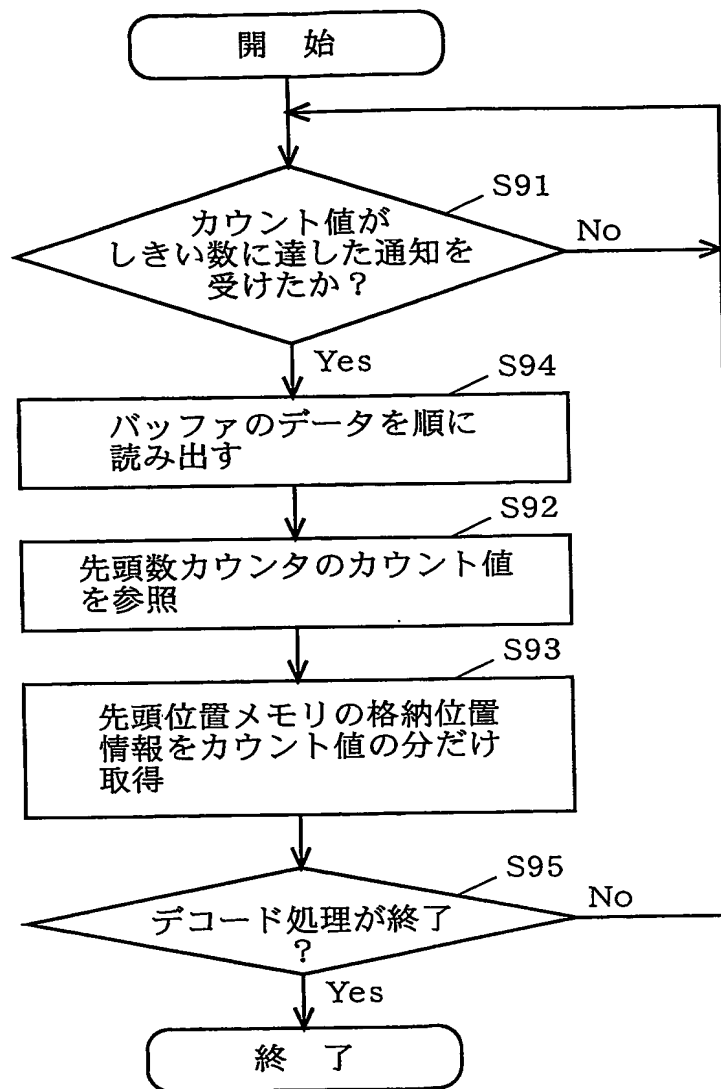


図 1 0 B

データ処理部 1 0

デコード部 2 0

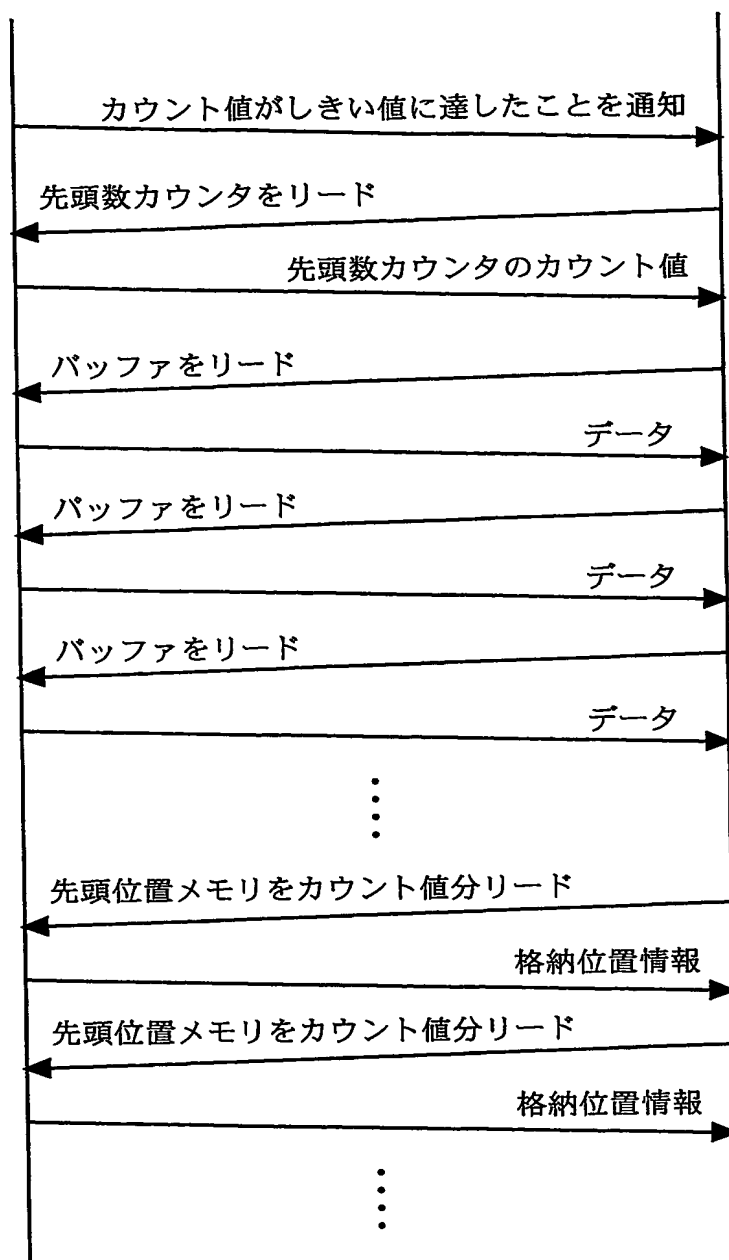


図 11

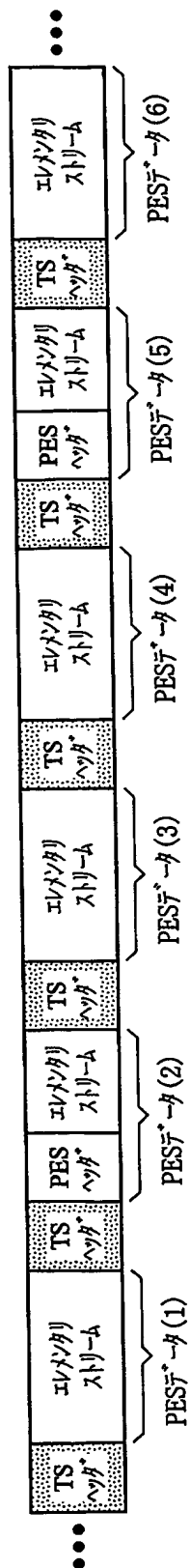


図 1 2 A

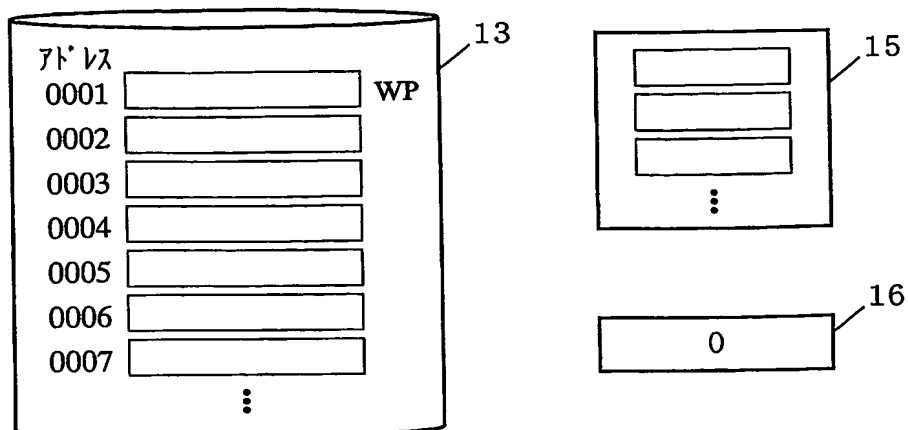


図 1 2 B

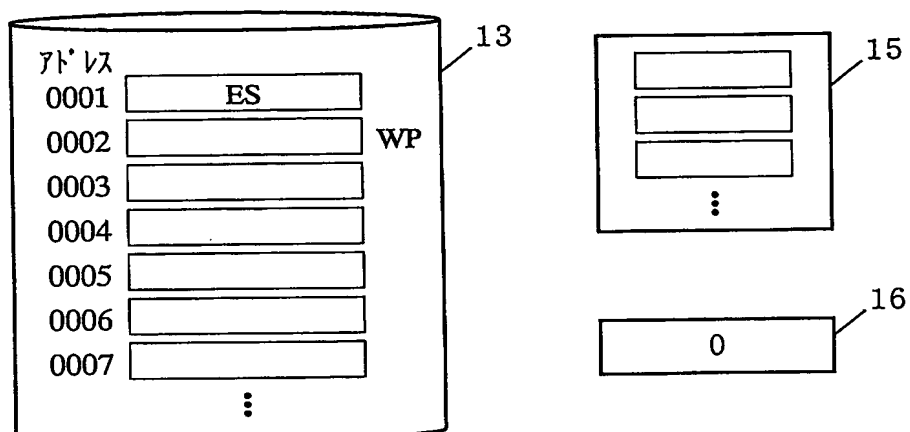


図 1 2 C

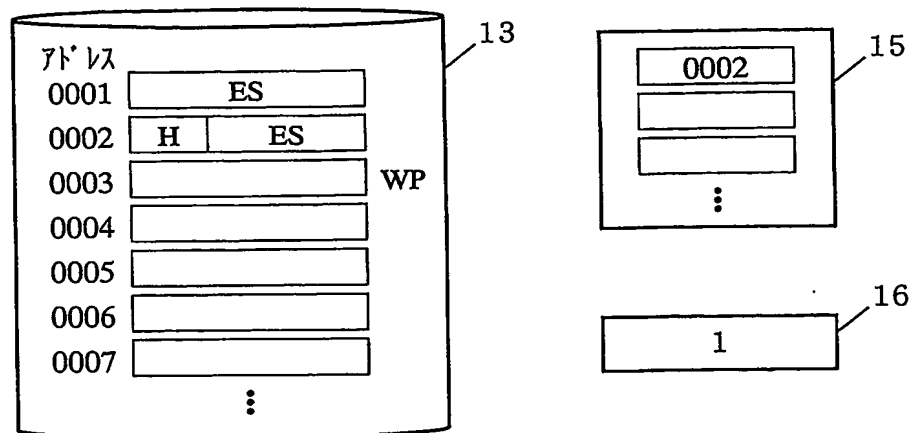


図 1 2 D

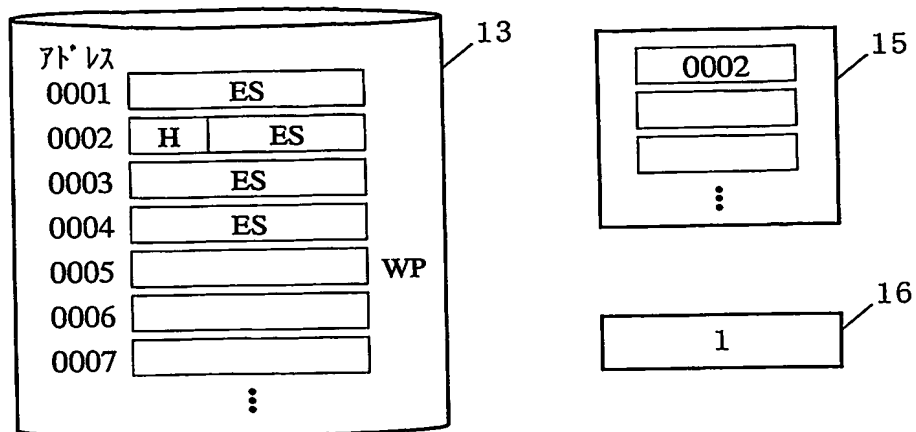


図 1 2 E

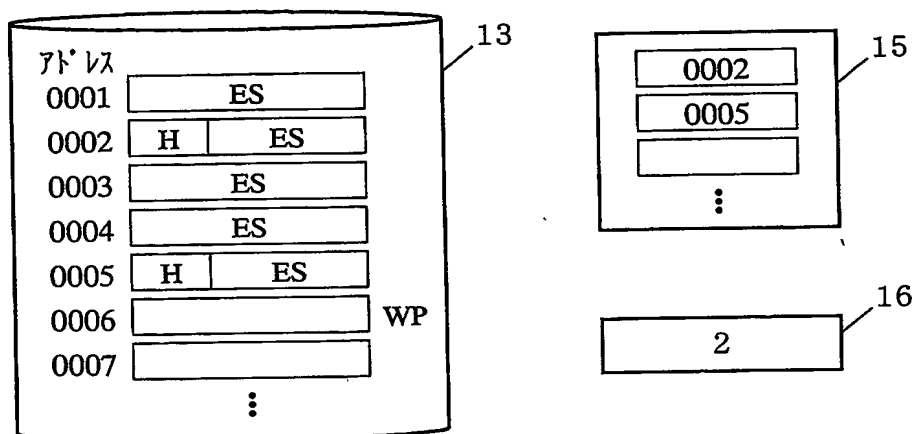


図 1 2 F

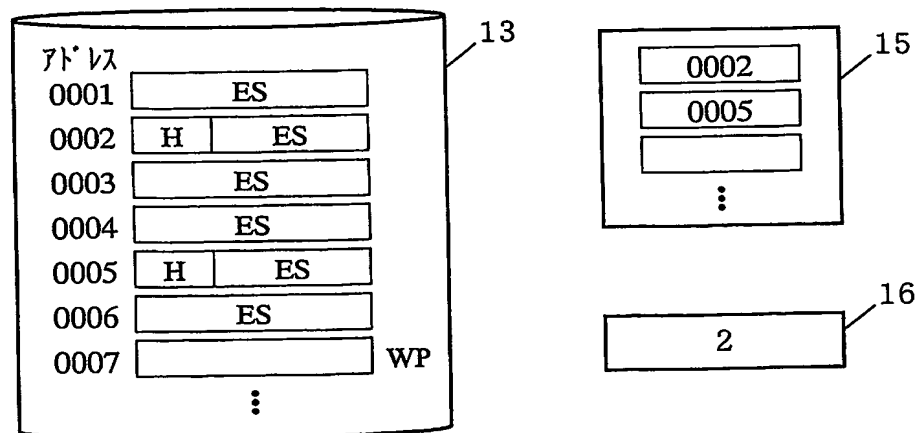


図 13

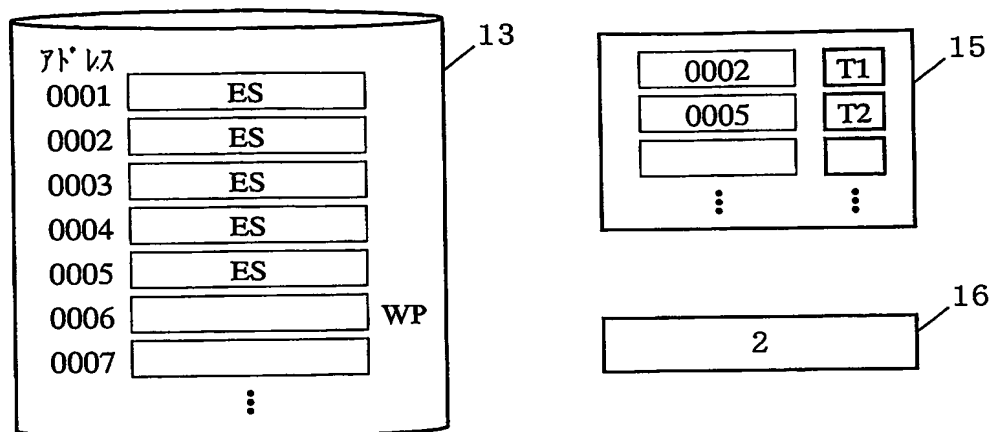


図 1 4 A

データ処理部 1 0

デコード部 2 0

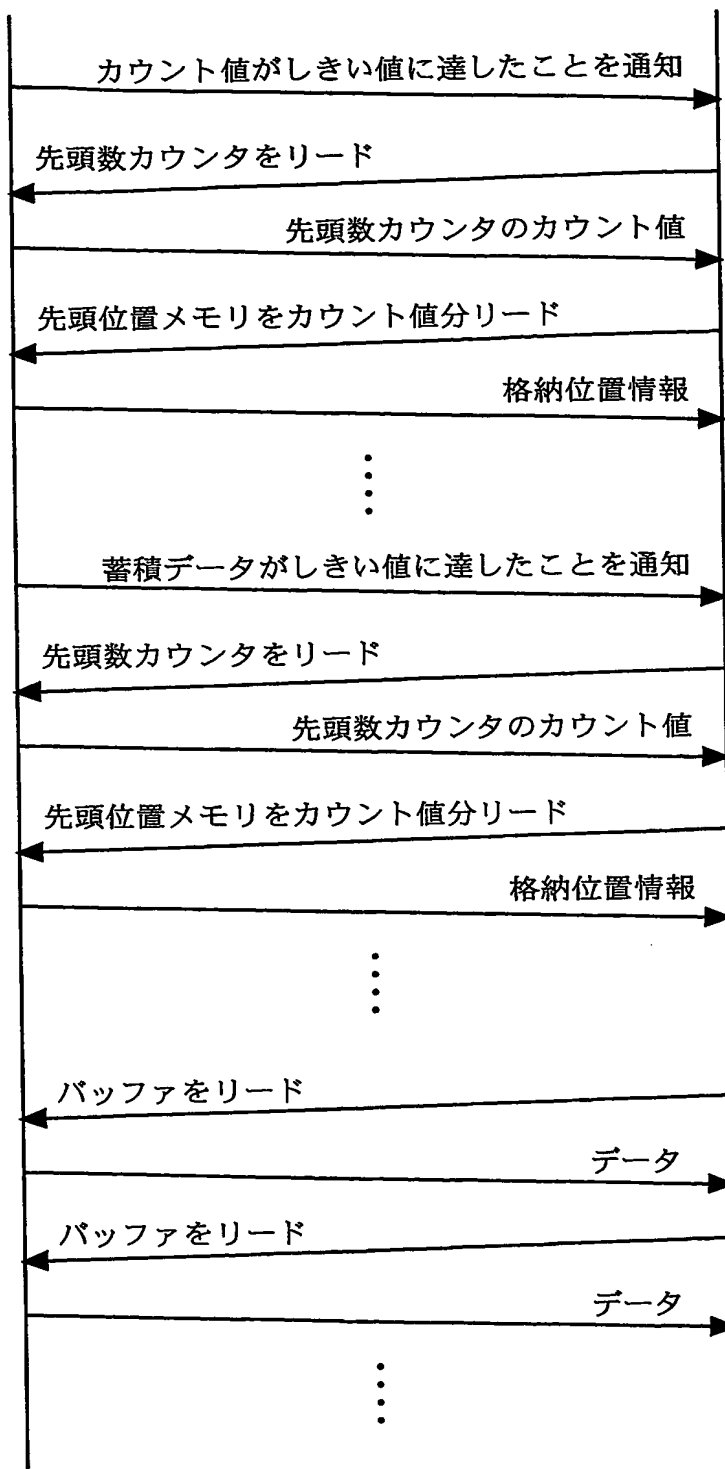


図 1 4 B

データ処理部 1 0

デコード部 2 0

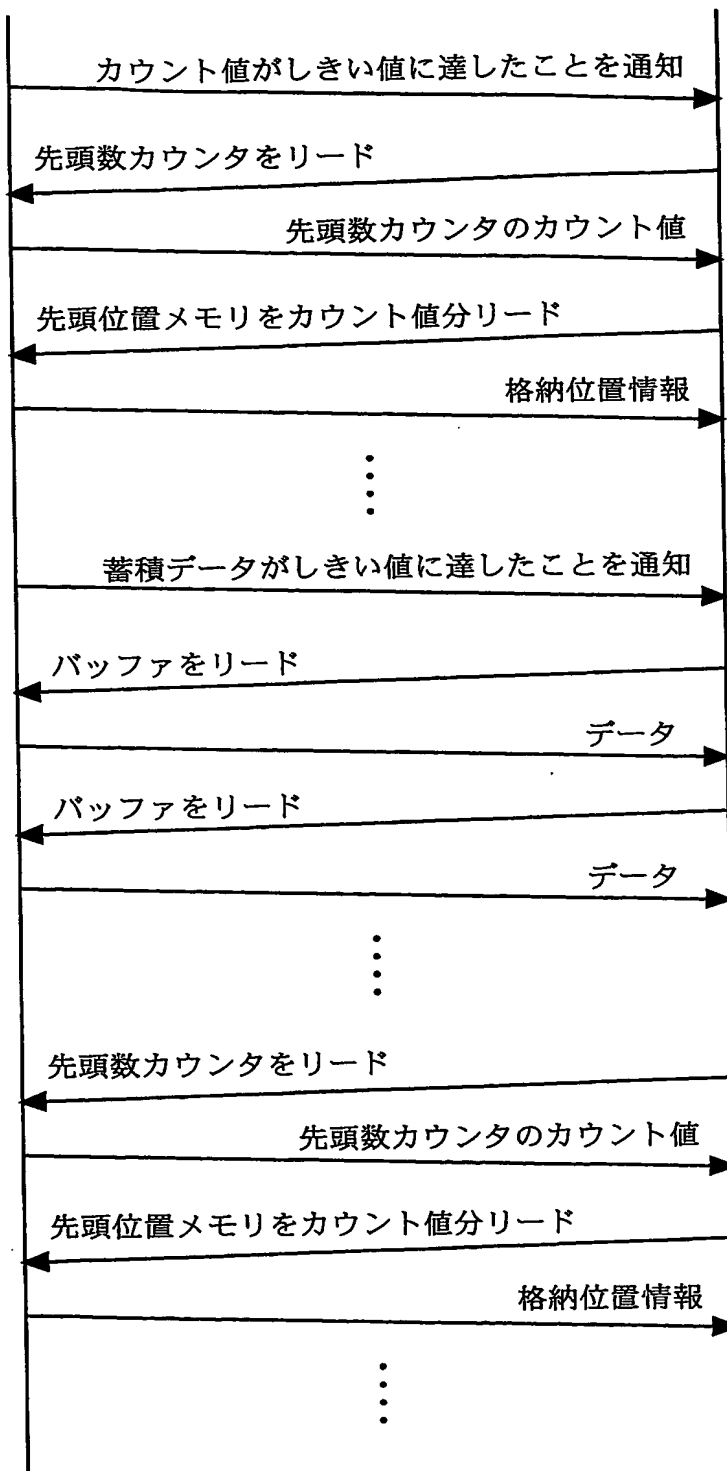


図 15

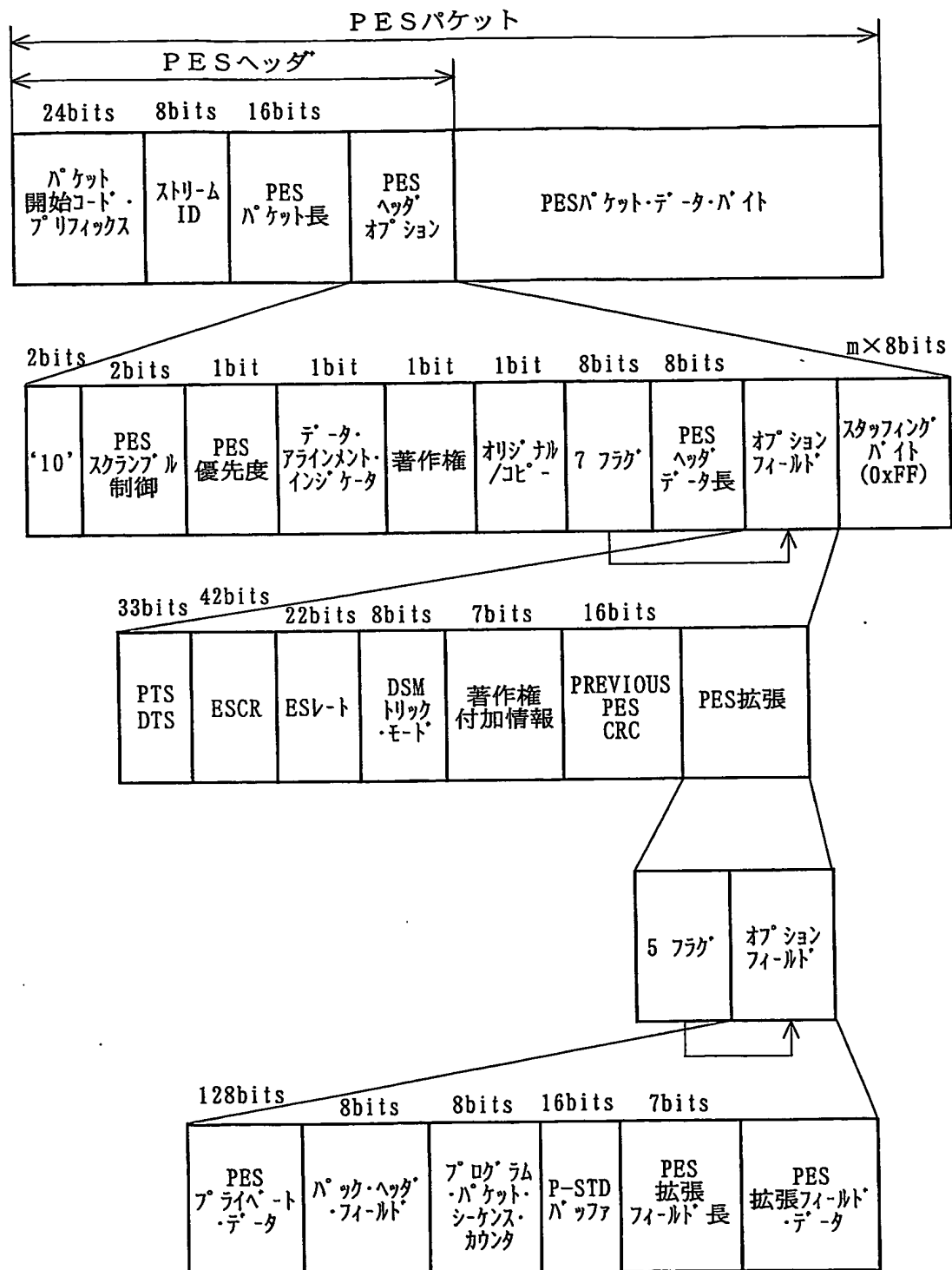


図 16

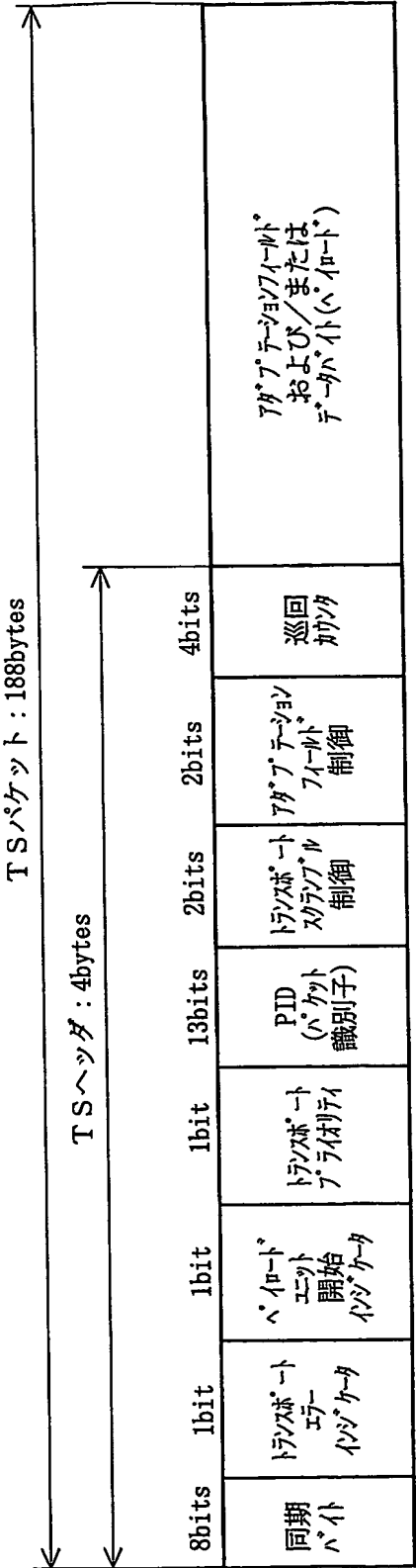


図 17

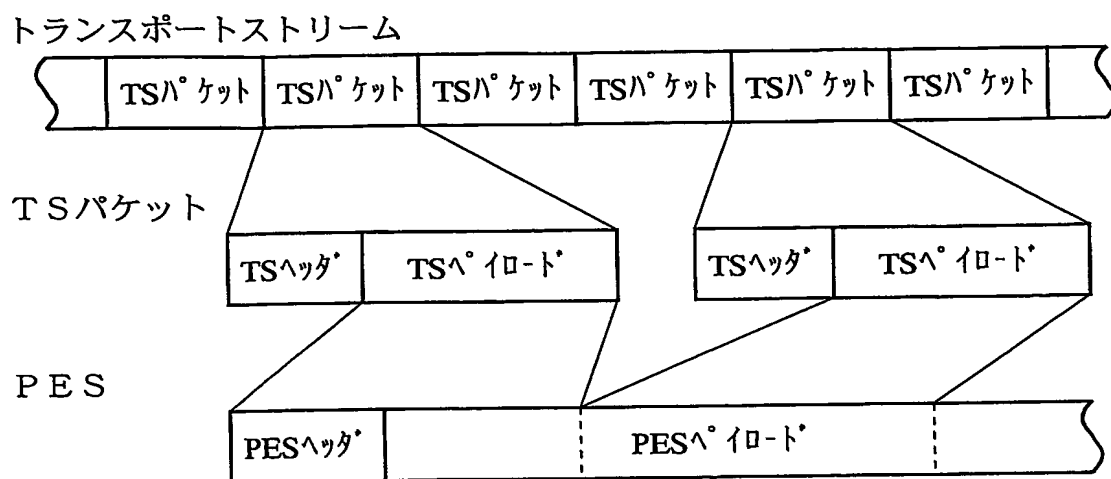
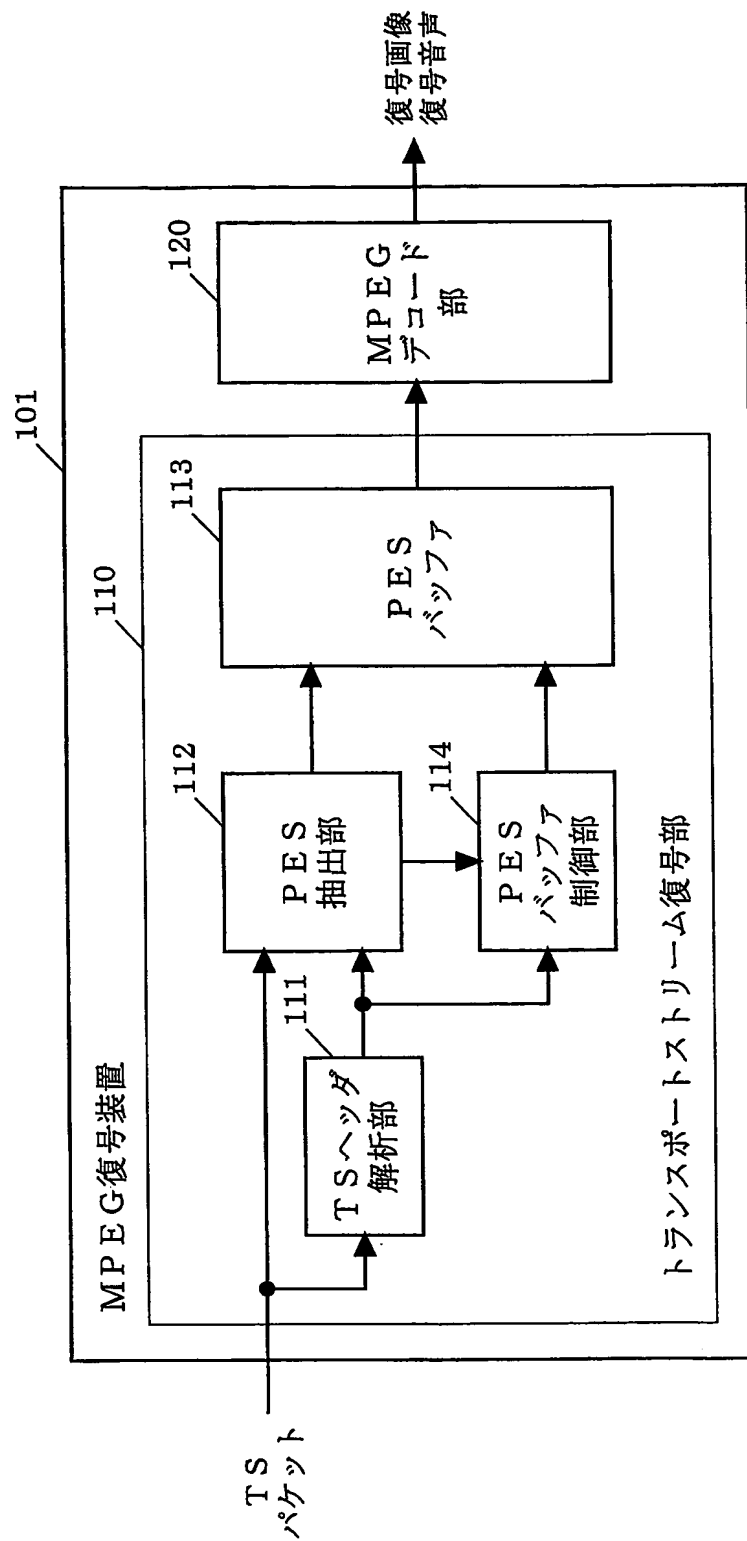


図 18



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008240

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H03M7/30, H04N7/24

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03M7/30, H04N7/24

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-016547 A (Matsushita Electric Industrial Co., Ltd.), 19 January, 2001 (19.01.01), Fig. 2 (Family: none)	1-22
A	JP 2002-304821 A (Hitachi, Ltd.), 18 October, 2002 (18.10.02), Fig. 1 (Family: none)	1-22
A	JP 2003-032679 A (Kabushiki Kaisha LSI Systems), 31 January, 2003 (31.01.03), Fig. 1 (Family: none)	1-22

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 September, 2004 (07.09.04)

Date of mailing of the international search report
21 September, 2004 (21.09.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl. H03M 7/30, H04N 7/24

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl. H03M 7/30, H04N 7/24

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
日本国公開実用新案公報 1971-2004年
日本国登録実用新案公報 1994-2004年
日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-016547 A (松下電器産業株式会社)、2001.01.19、図2 (ファミリー無し)	1~22
A	JP 2002-304821 A (株式会社日立製作所)、2002.10.18、図1 (ファミリー無し)	1~22
A	JP 2003-032679 A (株式会社エルエスアイシステムズ)、2003.01.31、図1 (ファミリー無し)	1~22

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日
07.09.2004

国際調査報告の発送日
21.9.2004

国際調査機関の名称及びあて先
日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
石井 研一
5X 8124
電話番号 03-3581-1101 内線 3596